

VLSI Design, Optimization, and Implementation of Channel Decoding in Wireless Systems

Doctoral Thesis

Author(s):

Roth, Christoph

Publication date:

2015

Permanent link:

<https://doi.org/10.3929/ethz-a-010497725>

Rights / license:

[In Copyright - Non-Commercial Use Permitted](#)

DISS. ETH NO. 22672

VLSI Design, Optimization, and Implementation of Channel Decoding in Wireless Systems

A thesis submitted to attain the degree of
DOCTOR OF SCIENCES of ETH ZURICH

(Dr. sc. ETH Zurich)

presented by

CHRISTOPH ROTH

MSc ETH EEIT

born on 28.06.1984

citizen of Zurich ZH and Hemberg SG

accepted on the recommendation of

Prof. Dr. Qiuting Huang, examiner

Prof. Dr. Andreas Burg, co-examiner

2015

Abstract

Today's mobile information society has a steady demand for ever-increasing data rates and better quality-of-service in wireless systems. To meet this demand standards organizations involved with the wireless industry are increasingly relying on modern high-performance channel codes such as low-density parity-check (LDPC) and turbo codes. These forward error-correction codes achieve near-optimal performance and thus enable highly robust wireless information transfer.

Unfortunately, the excellent error-correction capabilities of LDPC codes and turbo codes come at the expense of substantial computational complexity in mobile receivers as the decoding of these codes is based on sophisticated iterative algorithms. In addition, practical decoder implementations must usually support a wide range of operation modes in order to enable the wireless system to adapt to various transmission environments. This combination of high computational requirements and high flexibility demands renders the implementation of LDPC and turbo decoders for wireless systems a considerable research challenge. During the last decade, significant progress has been made in the development of low-complexity LDPC and turbo decoding algorithms and the implementation of these algorithms in flexible dedicated very-large-scale integration (VLSI) circuits. Nevertheless, the implementation complexity of LDPC and turbo decoders remains high. Typically, these decoders are found among the most area and power intensive components in wireless baseband receivers and thus significantly strain the tight cost and power budgets of mobile battery-powered devices.

Hence, the main part of this thesis is concerned with reducing the high VLSI implementation costs associated with LDPC and turbo

decoders. In particular, we provide concepts and solutions that enable cost- and power-efficient dedicated VLSI implementations which are in line with the high throughput and flexibility requirements of modern and next-generation wireless standards. To this end, we explore novel decoder design approaches and consider careful optimization of existing approaches on algorithm, architecture, and circuit level. Several reference decoder application-specific integrated circuit (ASIC) implementations tailored to a selection of relevant wireless standards are described, proving the applicability and efficacy of the proposed techniques.

Channel decoders in mobile receivers are usually embedded in a sophisticated channel decoding chain, which provides additional functionality to increase the robustness of transmission. In modern and future wireless systems, such channel decoding chains must be tunable for a vast number of transmission modes and support advanced features such as the hybrid automatic repeat request (hybrid-ARQ) protocol. These requirements have a significant impact on overall receiver implementation complexity. Hence, in the second part of this thesis, we assess the VLSI implementation challenges associated with channel decoding chains for wireless systems. To this end, we develop a dedicated channel decoding chain VLSI architecture focusing on a representative enhanced 3G cellular standard. The proposed architecture has been implemented as part of a complete baseband receiver ASIC with strong emphasis on area and power efficiency. The corresponding implementation results provide reference for the true VLSI implementation complexity of channel decoding in wireless systems.

Zusammenfassung

Die heutige mobile Informationsgesellschaft stellt immer höhere Ansprüche an drahtlose Kommunikationssysteme in Bezug auf Datenrate und Übertragungsqualität. Um diesen Ansprüchen gerecht zu werden, setzen neuere drahtlose Übertragungsstandards vermehrt auf moderne leistungsstarke Fehlerkorrekturcodes wie LDPC (low-density parity-check)-Codes und Turbo-Codes. Diese zwei Arten von Kanalcodes bieten eine herausragende Fehlerkorrektur nahe der theoretischen Grenze und ermöglichen so eine höchst robuste drahtlose digitale Informationsübertragung.

Leider ist die starke Fehlerkorrektur von LDPC- und Turbo-Codes mit einem erheblichen Rechenaufwand auf Empfängerseite verbunden, da die Decodierverfahren für diese Codes auf ressourcenintensiven iterativen Algorithmen beruhen. Gleichzeitig müssen Implementierungen von LDPC- und Turbo-Decodern in der Praxis sehr flexibel sein und eine breite Palette an verschiedenen Übertragungsmodi unterstützen. Diese Kombination von hohem Rechenaufwand und hohen Flexibilitätsansprüchen stellt eine besondere Herausforderung für die Forschung dar. In den letzten Jahren konnten wichtige Fortschritte sowohl in der Entwicklung von Decodieralgorithmen mit reduzierter Komplexität als auch in der Realisierung dieser Algorithmen als dedizierte hochintegrierte (VLSI) Schaltungen erzielt werden. Trotzdem ist die Komplexität von heutigen LDPC- und Turbo-Decodern noch immer sehr gross, und typischerweise zählen diese Decoder zu den flächen- und leistungsintensivsten Komponenten in drahtlosen Basisbandempfängern.

Daher liegt das Hauptaugenmerk dieser Arbeit auf der Reduktion der hohen VLSI Implementierungskomplexität von LDPC- und

Turbo-Decodern. Es werden Konzepte und Lösungen präsentiert, die eine kosteneffiziente Implementierung solcher Decoder ermöglichen und die im Einklang mit den hohen Datenraten und starken Flexibilitätsansprüchen von modernen und zukünftigen drahtlosen Übertragungsstandards stehen. Die vorgeschlagenen Konzepte und Lösungen beruhen auf neuen Implementierungsansätzen und auf sorgfältiger Optimierung existierender Ansätze auf Algorithmus-, Architektur-, und Schaltungsebene. Die Machbarkeit und Effektivität unserer Beiträge werden durch mehrere applikationspezifische integrierte Schaltungen (ASICs) von LDPC- und Turbo-Decodern für eine Reihe von praxisrelevanten Übertragungsstandards demonstriert.

LDPC- und Turbo-Decoder in mobilen Empfängern sind normalerweise eingebettet in einer ganzen Decodierkette, welche zusätzliche Mittel bietet, um die Qualität der Informationsübertragung zu steigern. Mit den wachsenden Anforderungen an moderne und zukünftige Kommunikationssysteme müssen diese Decodierketten immer mehr Funktionen unterstützen und werden so immer komplexer. Der zweite Teil dieser Arbeit untersucht daher die VLSI Implementierungsherausforderungen, die mit solchen Decodierketten verbunden sind. Zu diesem Zweck wurde eine dedizierte VLSI Architektur für die Decodierkette eines repräsentativen 3G Mobilfunkstandards entwickelt, und die vorgeschlagene Architektur wurde als Teil eines kompletten 3G Basisbandempfänger-ASICs mit Schwerpunkt auf Flächen- und Leistungseffizienz implementiert. Die Implementierungsergebnisse geben schlussendlich Auskunft über den wahren Schaltungsaufwand solcher Decodierketten.