



Doctoral Thesis

Temperature Aware Multiprocessing with Reliability Considerations

Author(s):

Rai, Devendra

Publication Date:

2015

Permanent Link:

<https://doi.org/10.3929/ethz-a-010546688> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

Diss. ETH No. 22718

Temperature Aware Multiprocessing with Reliability Considerations

A thesis submitted to attain the degree of

Doctor of Sciences of ETH Zürich
(Dr. sc. ETH Zürich)

presented by

Devendra Rai
M.Sc. University of Virginia, USA

born on 06.04.1981
citizen of India

accepted on the recommendation of

Prof. Dr. Lothar Thiele, examiner
Prof. Dr. Jörg Henkel, co-examiner

2015

Abstract

With the proliferation of many and multicore processors in servers, desktops, laptops, and even mobile devices, we have become accustomed to expect ever greater computational performance from each new generation of such devices. For instance, as users of recent generation of mobile phones, we can now play games with rich graphics, enjoy rich multimedia, navigate the world, create and edit movies, none of which was possible only a few years ago. Similarly, our notebook computers are now as powerful as desktops of yesterday, allowing us to work effectively on the move.

The primary reason for such impressive growth in the power of computers has been continuous reduction in the size of the transistor, specifically its feature size. Transistors are fundamental building blocks of the state-of-the-art processors, and with smaller transistors, it is possible to pack more cores into the same die, resulting a multi- or a many-core processor. However, such a high level of integration is not without its own challenges.

The most significant challenge is the increased likelihood that such processors will overheat. This is primarily because the voltages required to operate such transistors have not reduced in the same proportion as the size of transistors used to build state-of-the-art processors. As a result, such processors can experience very high power densities, leading to temperature hotspots, with consequences both in the short and long terms.

In the short term, processors which run too hot automatically trigger built-in thermal protection mechanisms which slow the processor down. This causes unplanned, discernible, and in some cases, unacceptable degradation in the system performance. In the long term, rapid fluctuations in the temperature of the processor in time or in space may reduce its reliability.

In this thesis, we focus on overcoming reliability and performance challenges posed by state-of-the-art processors. In particular, design techniques are presented which can be used to avoid, tolerate, and recover from thermally induced faults. All concepts proposed in this thesis have been specifically designed for time and resource constrained systems, and therefore can be applied to designing reliable embedded and signal processing systems. In brief, major topics covered in this thesis are:

- A technique to avoid thermally induced faults by estimating offline, the temperature of the processor when it executes a given set of applications. Furthermore, an analytical technique to estimate the

worst case temperature of the processor is also presented, which may be used to quickly eliminate those use-cases (i.e., combinations of applications and corresponding schedules) that may overheat the processor.

- A technique to tolerate (or mask) permanent faults in a manner which enables the system to continue to satisfy functional and timing requirements even after it has experienced one or more faults, and
- A technique to recover from faults in a manner which allows an application to migrate from a faulty processor (core) to a fault-free location, alongwith its context. Subsequent to migration, the application can continue to compute from the instant in time when the fault was detected. The secondary objective is to use this technique for dynamic load balancing across the available processors, which also helps avoid faults.

In practice, designing reliable multiprocessing systems may require the application of all three approaches simultaneously. Whereas the proposed fault avoidance technique is specific to thermally induced faults, proposed approaches for fault tolerance and recovery are comparatively general, and can be applied to protect a system from a broader class of faults. A highlight of this thesis is that all concepts have been validated through prototyping and extensive tests on multiple state-of-the-art multi- and many-core processors, such as the Intel Xeon family, Intel i7 family, and the Intel Single Chip Cloud (SCC) many-core processor.

Zusammenfassung

Mit der wachsenden Verbreitung von Viel- und Mehrkernprozessoren – sei es in Servern, Desktops, Laptops, ja sogar Smartphones – ist für uns ein Zuwachs an Rechenleistung mit jeder neuen Generation dieser Geräte selbstverständlich geworden. Als Nutzer der jüngsten Generation von Mobiltelefonen, zum Beispiel, können wir jetzt Spiele mit opulenter Grafik spielen, Multimedia in hoher Qualität genießen, rund um den Globus navigieren oder Filme erstellen und bearbeiten, was alles vor wenigen Jahren noch unmöglich war. Ebenso sind unsere Notebooks jetzt so leistungsfähig wie Desktops von gestern und erlauben uns so ein effektives Arbeiten auch unterwegs.

Der Hauptgrund für diese eindrucksvolle Steigerung der Leistungsfähigkeit von Computern ist die kontinuierliche Verringerung der Größe der Transistoren, genauer gesagt, ihrer Gatterlängen. Transistoren sind die grundlegenden Bausteine moderner Prozessoren, und mit kleineren Transistoren kann man mehr Prozessorkerne in den gleichen Chip packen und erhält so Mehr- oder Vielkernprozessoren. Eine solch hohe Integrationsdichte bringt jedoch ganz neue Herausforderungen mit sich.

Die bedeutendste Herausforderung ist hierbei die erhöhte Wahrscheinlichkeit einer Überhitzung der Prozessoren. Diese rührt daher, dass die benötigte Versorgungsspannung sich nicht im selben Maße reduziert wie die Größe der verwendeten Transistoren. Dadurch können in solchen Prozessoren sehr hohe Leistungsdichten auftreten, was zu lokal konzentrierten Hotspots führt, die wiederum kurz- und langfristige Konsequenzen haben.

Kurzfristig lösen zu hohe Prozessortemperaturen durch in den Chip eingebaute Schutzmechanismen eine Verlangsamung des Prozessors aus. Dies führt ungeplant zu einer wahrnehmbaren, in einigen Fällen inakzeptablen Verschlechterung des Systemverhaltens. Langfristig können schnelle Fluktuationen – sowohl zeitlich als auch räumlich – der Temperatur eines Prozessors dessen Zuverlässigkeit beeinträchtigen.

Die vorliegende Dissertation widmet sich der Bewältigung der genannten Herausforderungen bei Zuverlässigkeit und Leistung auf aktuellen Prozessoren. Insbesondere werden Konstruktionsverfahren vorgestellt, die angewendet werden können, um temperaturbedingte Störungen zu

Thanks a lot to Bernhard Buchli and Andreas Tretter for helping with the translation.

vermeiden, zu tolerieren und zu beseitigen. Alle in dieser Arbeit vorgeschlagenen Konzepte wurden speziell für zeitkritische und ressourcenbeschränkte Systeme entwickelt und können daher zur Entwicklung verlässlicher eingebetteter Systeme und verlässlicher Signalverarbeitungssysteme verwendet werden. Zusammengefasst sind die Hauptthemen dieser Arbeit:

- Ein Verfahren für die Vermeidung thermisch induzierter Störungen durch eine vorgängige Abschätzung der erwarteten Prozessortemperatur bei der Ausführung einer bestimmten Gruppe von Anwendungen. Zusätzlich wird eine analytische Methode zur Abschätzung der Worst-Case-Temperatur des Prozessors vorgestellt, welche angewendet werden kann, um die Anwendungsfälle (d.h. Kombinationen von Anwendungen und deren Ausführungszeitplänen), die den Prozessor überhitzen können, schnell zu verwerfen.
- Eine Methode, um dauerhafte Störungen so zu tolerieren (oder zu verbergen), dass das System weiterhin alle funktionalen und zeitlichen Anforderungen erfüllt, selbst nachdem ein oder mehrere Fehler aufgetreten sind.
- Eine Methode zur Störungsbeseitigung, indem eine Anwendung – zusammen mit ihrem Ausführungskontext – von einem fehlerhaften Prozessor(kern) auf einen fehlerfreien umgesiedelt wird. Im Anschluss an die Migration kann die Anwendung an dem Punkt fortgesetzt werden, an dem die Störung erkannt wurde. Ein zweites Ziel ist es, diese Technik für eine dynamische Lastverteilung über alle verfügbaren Prozessoren anzuwenden, was wiederum Störungen vermeidet.

In der Praxis wird es manchmal notwendig sein, alle drei Ansätze gleichzeitig zur Anwendung zu bringen, um zuverlässige Multiprozessor-systeme zu erhalten. Während das vorgestellte Verfahren zur Störungsvermeidung speziell thermische induzierte Störungen betrifft, sind die vorgeschlagenen Konzepte für Fehlertoleranz und Störungsbeseitigung vergleichsweise allgemein und können für ein breiteres Spektrum von Störungen eingesetzt werden. Eine besondere Stärke dieser Arbeit ist, dass alle Konzepte durch Prototyping und umfangreiche Tests auf mehreren aktuellen Mehr- und Vielkernprozessoren validiert wurden, so z.B. der Intel-Xeon-Familie, der Intel-i7-Familie und dem Intel-Single-Chip-Cloud-Vielkernprozessor (SCC).