



Doctoral Thesis

An Evolved EDGE System-on-Chip for the Cellular Internet of Things

Author(s):

Kröll, Harald

Publication Date:

2016

Permanent Link:

<https://doi.org/10.3929/ethz-a-010703306> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

DISS. ETH NO. 23500

An Evolved EDGE System-on-Chip for the Cellular Internet of Things

A thesis submitted to attain the degree of
DOCTOR OF SCIENCES of ETH ZURICH
(Dr. sc. ETH Zurich)

presented by
HARALD KRÖLL
Dipl.-Ing. TU Graz
born on February 14th, 1984
citizen of Italy

accepted on the recommendation of

Prof. Dr. Qiuting Huang, examiner
Prof. Dr. Andreas Burg, co-examiner

2016

Abstract

On the race to the Internet of Things (IoT), cellular networks play a key role because of their worldwide coverage. The only networks, which currently provide ubiquitous coverage are 2G networks. However, legacy 2G networks were neither designed for packet data traffic nor provide the required throughput of today's cellular IoT applications. The GPRS extension added packet data traffic to GSM, however efficient packet data traffic at moderate rates is only possible with the Evolved EDGE extension at the cost of complex signal processing algorithms for interference suppression. Nevertheless, cellular IoT devices shall not use high performance signal processors because they shall keep their low-size and low-power consuming attitude.

In this thesis we present an Evolved EDGE system-on-chip with baseband signal processing implemented in dedicated VLSI design. Our system-on-chip with dedicated hardware baseband architecture allows to reduce the chip package size by a factor of three compared to the prior-art two chip solution. In addition to reducing the bill-of-material, it also reduces the power consumption of the digital baseband to only a fraction of the power consumption of the RF-transceiver. This is achieved through algorithm-driven hardware design during which the baseband signal processing algorithms were mapped onto a power- and area-efficient VLSI architecture.

The interference suppression part of the architecture is based on a four-stage setup, composed of a bandwidth adaptive receive filter, an interference suppressing MMSE filter, a channel shortener and a trellis detector (equalizer).

In addition to the system-on-chip implementation, we investigate several interference suppression algorithms and propose a space-frequency-time minimum mean squared error algorithm which exploits oversampling. We further present the first use of channel shortening detector based on the maximization of the lower bound of the achievable information rate for Evolved EDGE.

As an important milestone on the way to the system-on-chip implementation, we implemented a baseband transceiver ASIC with Rx-diversity support to show the feasibility of the Evolved EDGE interference suppression algorithms. Our implementation is the first which achieves and exceeds the 3GPP downlink-advanced-receive performance requirements for Rx-diversity by a margin of 4 dB due to space-time MMSE filtering.

In this thesis we show, that the entire digital baseband signal processing can be made imperceptible in terms of power and circuit area requirements even for the advanced E-EDGE interference suppression signal processing algorithms which require computational resources of several MMAC/s.

Zusammenfassung

Bei der zukünftigen Realisierung des Internet der Dinge (engl. Internet of Things, Kurzform: IoT) spielen Mobilfunknetze eine Schlüsselrolle wegen ihrer weltweiten Netzabdeckung. Die einzigen Mobilfunknetze, die derzeit eine ausgedehnte weltweite Abdeckung bieten sind 2G-Netze. Allerdings wurden 2G-Netze ursprünglich weder für Paketdatenverkehr konzipiert noch für den erforderlichen Durchsatz zeitgemässer IoT Anwendungen. Mit der GPRS-Erweiterung wurde Paketdatenverkehr in GSM Netzen ermöglicht, jedoch ist effizienter Paketdatenverkehr mit moderaten Datenraten ist nur mit der Evolved EDGE-Erweiterung möglich, allerdings auf Kosten von komplexen Signalverteilungsalgorithmen zur Interferenzunterdrückung. Dabei sollten IoT-Geräte keine Hochleistungs-Signalprozessoren verwenden, da sie geringe Grösse und niedrigen Energieverbrauch aufweisen sollten.

In dieser Arbeit präsentieren wir ein Evolved EDGE System-on-Chip in dem die Basisband-Signalverarbeitung in dediziertem VLSI-Design implementiert wurde. Unser System-on-Chip mit dedizierter Hardware Basisband-Architektur ermöglicht es die Chipgrösse um den Faktor drei zu reduzieren im Vergleich zum der Stand der Technik mit zwei Chips. Neben der Reduzierung der Anzahl Chips wurde auch der Energieverbrauch des digitalen Basisbandes auf nur einen Bruchteil des Energieverbrauchs des RF-Transceivers reduziert. Dies wird durch Hardwareentwicklung die sich stark an den Algorithmen ausrichtet erreicht. Dabei werden die Basisband Signalverarbeitungsalgorithmen auf eine Strom- und flächeneffiziente VLSI-Architektur abgebildet.

Die Interferenzunterdrückung der Architektur basiert auf einem Vier-Stufen-Setup welches aus einem adaptiven Filter, einem MMSE-Filter, einem Kanal-Kürzer und einem Trellis-Detektor (Equalizer) besteht. Zusätzlich zur System-on-Chip-Implementierung, analysieren wir mehrere Algorithmen zur Interferenzunterdrückung und entwickeln ein Raum-Frequenz-Zeit MMSE Filter, welches Überabtastung ausnutzt. Weiters präsentieren wir erste Verwendung eines Kanal-Kürzungs Detektor auf der Grundlage der Maximierung der Untergrenze der erreichbaren Informationsrate für Evolved EDGE. Ein wichtiger Meilenstein auf dem Weg zur System-on-Chip Realisierung war die Implementierung eines Basisband ASICs mit zwei Kanälen für den Empfang (engl. Rx-Diversity). Das ASIC belegte die Machbarkeit unserer Evolved EDGE Interferenzunterdrückungsalgorithmen in einem ersten Schritt. Unsere Implementierung ist die erste welche die sogenannten 3GPP-Downlink-Advanced-Receiver Performance Anforderungen für Rx-Diversity erreicht und aufgrund Raum-Zeit-MMSE-Filterung um 4 dB überschreitet. In dieser Arbeit haben wir gezeigt, dass die Leistungsaufnahme und Chipfläche der gesamten Signalverarbeitung im Basisband bis auf eine kleine Restmenge reduziert werden kann, trotz des hohen Rechenaufwandes der E-EDGE Signalverarbeitungsalgorithmen.