



Doctoral Thesis

Hardware eines dynamisch konfigurierbaren Multiprozessors

Author(s):

Bührer, Richard

Publication Date:

1981

Permanent Link:

<https://doi.org/10.3929/ethz-a-000272683> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

Diss. ETH Nr. 6930

HARDWARE EINES DYNAMISCH KONFIGURIERBAREN MULTIPROZESSORS

ABHANDLUNG

zur Erlangung des Titels eines
DOKTORS DER TECHNISCHEN WISSENSCHAFTEN

der
EIDGENOESSISCHEN TECHNISCHEN HOCHSCHULE ZUERICH

vorgelegt von

Bührer Richard
Dipl.El.Ing. ETH
geboren am 1.4.1946
von Bibern und Hofen, Schaffhausen

Angenommen auf Antrag von:

Prof.Dr.W. Hälg, Referent
Prof.Dr.N. Wirth, Korreferent

1981

Zusammenfassung

Das am Institut für Reaktortechnik der ETHZ entwickelte Softwarepaket PSCSP zur Simulation kontinuierlicher Systeme weist während der Ausführungsphase eine parallelisierbare Struktur auf: gleichzeitig können mehrere unabhängige Unterprogramme (MACROS) bearbeitet werden, welche ihrerseits parallelisierbar sind. Die Leistungsfähigkeit des Prinzips lässt sich daher massiv erhöhen, wenn eine Parallelversion des PSCSP auf einem geeigneten Parallelcomputer implementiert wird.

Anhand der Beschreibung verschiedener Parallelrechnerarchitekturen wird gezeigt, dass eine Zusammenschaltung mehrerer asynchron arbeitender Prozessoren dieser Aufgabenstellung am besten gerecht wird ("Multiple-instruction stream - multiple-data stream"-Konzept). Der anschliessend beschriebene, primär für quantitative Leistungsabschätzungen des PSCSP vorgesehene Parallelprozessor weist - als wesentliche Neuerung - eine dynamisch organisierbare Architektur auf. Für die Bearbeitung der einzelnen MACROS werden ad hoc gebildete Prozessorgruppen eingesetzt, welche - obwohl physikalisch willkürlich angeordnet - virtuell einen zusammenhängenden, softwaremässig transparenten Verband bilden. Die einzelnen Hauptkomponenten des Systems können wie folgt charakterisiert werden:

Der Supervisor Computer (PDP 11/40) ist - neben den Input/Output- sowie den Programmvorbereitungsaufgaben - während der Ausführungsphase für die Ablaufsteuerung der bearbeitbaren MACROS verantwortlich. Zu seiner Entlastung wird die autonom arbeitende Job Control Unit eingesetzt, welche die Verwaltung und Einsatzplanung der 16 Execute-Prozessoren (LSI-11) übernimmt. Dazu gehört die Auflösung allfälliger Systemdeadlocks, die Bildung der virtuellen Prozessorkonfigurationen sowie die Übermittlung aller notwendigen Startinformationen zu den entsprechenden Execute-Prozessoren. Der Austausch von MACRO-Zwischenresultaten erfolgt mittels eines neuartigen Intercommunication Memory. Dieses matrixartig aufgebaute Speicherelement

ermöglicht gleichzeitige Zugriffe aller Prozessoren und erlaubt dadurch eine extrem hohe Datentransferrate. Eine besondere Schaltungstechnik löst zudem auf einfache Art alle Datenschutzprobleme. Die Systemhardware wird ergänzt durch die Result Transfer Unit, welche für die Uebertragung von MACRO-Endresultaten von den Execute-Prozessoren zum Supervisor Computer eingesetzt wird sowie durch den Serial Link für Deadstart- und Testaufgaben.

Die Bestimmung der prinzipiellen Overheads, welche durch die spezifische Systemarchitektur hervorgerufen werden sowie der technologiebedingten Overheads als Auswirkung finanziell bedingter Hardwarekompromisse, zeigt, dass diese maximal 10% bzw. 27% der Gesamtbearbeitungszeit eines MACROS betragen. Da diese in jedem Fall eindeutig ermittelt werden können, bietet der Parallelprozessor alle angestrebten Voraussetzungen für eine objektive Leistungsgewinnbestimmung des Parallel-PSCSP.

Anhand einiger wichtiger Aspekte technologischer Art wird abschliessend gezeigt, dass unter Verwendung von Hochleistungsmikroprozessoren, kombiniert mit speziellen Floating-point Arithmetik Schaltungen, bedeutende Chancen für die Realisierung eines kommerziellen Systems existieren.

Abstract

At ETH (Swiss Federal Institute of Technology), department IRT (Institute for Reactor Research), a new simulation language PSCSP (power-series continuous simulation program) for the simulation of continuous systems is currently in the final stage of development. During its execution phase, the applied technique offers a two-stage parallelism: several independent subtasks (MACROS) can be evaluated simultaneously (first level of parallelism) while most of them feature an internal parallel structure (second level of parallelism) that can be exploited simultaneously by a number of processors.

In the following, a description of a new MIMD-type (multiple-instruction stream - multiple-data stream) multiprocessor is given which was built upon the specific demands of the PSCSP in order to acquire reliable information about the maximum gain in speed of a parallel PSCSP compared with the sequential version. In addition to a supervisor computer, whose activities are input/output, compilation tasks and supervision of MACRO-executions, a set of 16 execute-processors (EP) are used for execution of the MACROS. Due to the individual activities of these EPs within the same or different MACROS, the execution of every MACRO necessitates the creation of cooperating EP-groups whose members are distributed arbitrarily. This is done by the job control unit which generally serves as the EP-dispatching logic. In order to handle the numerous data transfers between cooperating processors, a interconnection memory intercom was developed, whose great advantage is the fact that a result provided by any of the EPs is made immediately available to all other processors.

Whenever the job control unit starts a group of EPs, a configuration information is transmitted to the intercom interfaces of each EP of that group, allowing a transformation of job-specific relative address modes into physical counterparts by

means of hardware. Additional logics such as the result transfer unit (for direct-memory-access result transfers from the EP region to the supervisor computer region of the intercom) and a serial link for deadstart and maintenance tasks complete the system hardware.

Performance measurements proved that the multiprocessor allows an exact determination of the gain in speed achieved by the parallel PSCSP. This is due to the fact that the system overheads can be separated precisely into technological overheads (resulting from hardware compromises) and principal overheads based on the specific system architecture. In the worst case these overheads turn out to be 27% and 10% respectively in relation to an optimally programmed sequential PSCSP-version.

In a further part it is shown that a commercial version of the multiprocessor is practicable using fast microprocessors in combination with hardware floating-point arithmetic units as they are used in present-day minicomputers. All other components (with slightly modified details) can be adopted from the presented multiprocessor.