



Doctoral Thesis

Grundlagen zur Herstellung komplementärer Dünnschichttransistoren auf polykristallinem Silizium

Author(s):

Schmid, Jürg

Publication Date:

1987

Permanent Link:

<https://doi.org/10.3929/ethz-a-000412488> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

3. April 1987

Diss. ETH Nr. 8145

GRUNDLAGEN ZUR HERSTELLUNG
KOMPLEMENTAERER DUENNFILMTRANSISTOREN
AUF POLYKRISTALLINEM SILIZIUM

ABHANDLUNG

zur Erlangung des Titels eines
DOKTORS DER NATURWISSENSCHAFTEN
der
EIDGENOESSISCHEN TECHNISCHEN HOCHSCHULE
ZUERICH

vorgelegt von
Jürg Schmid
dipl. Phys. ETH
geboren am 11. März 1946
von Zürich

angenommen auf Antrag von
Prof. Dr. H. Melchior, Referent
Prof. Dr. M. Ilegems, Korreferent

Zürich 1987

*Zürich, den 01.04.87
Hans Melchior*

ZUSAMMENFASSUNG

Komplementäre Dünnschicht-MOS-Transistoren (metal-oxide-semiconductor) wurden in polykristallinem Silizium auf Quarzglas hergestellt. Vorbereitende Untersuchungen umfassten die elektrische Leitfähigkeit dotierter Poly-Si-Schichten mit hoher Ladungsträgerkonzentration, sowie das Aufwachsen und die Spannungsfestigkeit von thermischem Oxid auf Poly-Si.

Der Verlauf der elektrischen Leitfähigkeit dotierter polykristalliner Si-Schichten (small grained) wurde mit Hilfe von Hall- und Widerstandsmessungen als Funktion der Dotierung bestimmt. Die Resultate zeigen nicht nur, dass sich das anerkannte, einfache Leitfähigkeitsmodell anwenden lässt, das auf thermionischer Emission von Ladungsträgern über die Potentialbarriere an den Korngrenzen beruht, sondern auch, dass dieses Modell bis zum praktischen Verschwinden der Barrieren bei sehr hohen Dotierungen gültig ist. Die Dichte der Akzeptor- und Donator-Traps an den Korngrenzen erweist sich als ungefähr gleich gross. Auch die Beweglichkeit von Elektronen und Löchern erreicht bei hohen Konzentrationen fast den gleichen Wert.

Auf undotiertem Poly-Si, das unter gleichen Bedingungen auf Quarzglas deponiert war, wurden komplementäre MOS-Transistoren in "self aligned"-Technologie hergestellt. Ihre Kennlinien im aktiven Bereich sind beinahe symmetrisch. Ausgehend vom Leitungsmodell dotierter Schichten wurde ein Transistormodell hergeleitet, das vom linearen Bereich bis zum Beginn der Sättigung anwendbar ist.

Am Beispiel eines Ringoszillators konnte gezeigt werden, dass auch das dynamische Verhalten dem Modell entspricht. Die minimale dabei erreichte Schaltverzögerung eines Inverters von 4 ns zeigt, dass diese Technologie zur Herstellung ganzer Schaltungen für "flat panel displays" geeignet ist.

ABSTRACT

Complementary MOS (metal-oxide-semiconductor) Thin Film Transistors have been fabricated in polycrystalline silicon films on fused quartz substrates. Preliminary investigations cover the conductivity of highly doped polysilicon layers as well as the growth and the breakdown limits of thermally grown oxide on polysilicon.

The doping level dependence of the electric conductivity of small grained polysilicon films has been evaluated by Hall effect and resistivity measurements. The results can be explained by a well established conductivity model that is based on thermionic emission over the potential barrier at the grain boundaries. Moreover this model is still valid at very high doping levels where the barriers practically disappear. The densities of acceptor type and donor type traps at the grain boundaries show to be approximately the same. The mobilities of electrons and holes also become nearly equal at high carrier densities.

Self aligned CMOS transistors have been built on undoped polysilicon layers deposited on quartz under the same conditions as the resistive films. Their characteristics in the active region are nearly symmetrical. On the basis of the conduction model for doped layers a transistor model has been derived which can be applied from the linear region to the onset of saturation.

By using a ring oscillator circuit it has been shown that the dynamic behavior also corresponds with this model. The lowest achieved switching delay of 4 ns demonstrates that this technology is qualified for fabricating complete flat panel display circuits.