

# Layoutabhängige Fehleranalyse und Testsynthese integrierter CMOS Schaltungen

ABHANDLUNG

Zur Erlangung des Titels eines  
Doktors der Technischen Wissenschaften

der

EIDGENÖSSISCHEN TECHNISCHEN HOCHSCHULE  
ZÜRICH

vorgelegt von

MARCEL JACOMET

Dipl. El.-Ing. ETH

geboren am 21. Februar, 1959

von Disentis (GR)

Angenommen auf Antrag von:

Prof. Dr. W. Guggenbühl, Referent

Prof. Dr. W. Fichtner, Korreferent

1990



# Kurzfassung

In dieser Arbeit wird eine neue Testmethode für integrierte, digitale CMOS Schaltungen präsentiert. Dazu sind Änderungen bei den konventionellen Test-Entwurfsverfahren unumgänglich, da sonst die Entwicklung von Testvektorsätzen mit hoher Güte verhindert werden.

Die heutigen Verfahren für die Entwicklung von Testvektoren missachten die Abhängigkeit der Fabrikationsdefekte von der Layoutstruktur der integrierten Schaltungen. Sie plazieren die Fehler bei der Testsynthese gleichmässig in die Schaltungen, wobei meistens nur Kurzschlüsse gegen die Speiseleitungen (z.B. stuck-at Fehler) angenommen werden. Demgegenüber wird hier vorgeschlagen, die Technologie- und Strukturabhängigkeit der Defekte bei der Fehlermodellierung zu berücksichtigen. Als Grundlage werden dazu bekannte statistische Modelle herangezogen, welche die Defektmechanismen beschreiben. Die Modelle werden in dieser Arbeit weiterentwickelt, so dass die wichtigsten Defekte in geschlossener algebraischer Form darstellbar sind und sich aus dem Schaltungs-Layout extrahieren lassen. Mit der statistischen Modellierung der Defekte lassen sich die Wahrscheinlichkeiten der einzelnen Fehler berechnen. Erst damit ist eine aussagekräftige Fehleranalyse, sowie ein effizientes Vorgehen bei der Testsynthese möglich.

Die neu eingeführten Fehlermodelle bilden die Grundlage dieses Testverfahrens. Die Modellierung der klassischen Unterbrechungsfehler wurde erweitert, diejenige der Kurzschlussfehler grundsätzlich erneuert. Durch die spezielle Methodik des neuen Testverfahrens können potentielle Kurzschlussdefekte in der Layoutstruktur erkannt werden. Eine Schaltkreisanalyse auf Transistorniveau gibt dabei Aufschluss über das Verhalten der verschiedenen Kurzschlussfehler. Je nach Schaltungs-

struktur können die Kurzschlussfehler über das Beobachten der Logiksignale oder nur durch Messen der statischen Stromaufnahme entdeckt werden.

Um Untersuchungen und Vergleiche mit unterschiedlichen Fehlermodellen überhaupt erst durchführen zu können, wurde ein CAD-Programm entwickelt. Damit lassen sich potentielle Herstellungsdefekte automatisch aus dem Layout der integrierten Schaltungen extrahiert und in CMOS Schaltungsfehler transformieren. Darauf basierend erfolgt eine automatische Fehleranalyse und Testsynthese für kombinatorische Digitalschaltungen.

Fehleranalysen anhand der bekannten ISCAS Benchmark Schaltungen zeigen die Schwächen der klassischen Fehlermodelle auf und untermauern die Notwendigkeit von technologie- und layoutabhängigen Modellen für CMOS Schaltungen. Die Testvektorgenerierung berücksichtigt die unterschiedlichen Wahrscheinlichkeiten und Eigenschaften der einzelnen Fehler. Anhand der Benchmark Schaltungen wird die Effizienz und Güte der auf diese Weise gewonnenen Testsequenzen untersucht. Die dabei erreichten Fehlerabdeckungsraten zeigen auf eindruckliche Weise die Vorteile der technologie- und layoutabhängigen Fehleranalyse und Testsynthese gegenüber den klassischen Fehlermodellier- und Testsynthese-Ansätzen.

**Stichworte.** Defekte, statistische Defektmodelle, gewichtete CMOS Fehlermodelle, Kurzschlussfehler, Unterbrechungsfehler, stuck-open, stuck-toggle, current (CLSS) und logic large-scope short (LLSS) Fehler, layoutabhängige Fehleranalyse, layoutabhängige Testsynthese, Schaltungssimulation, Fehlersimulation, Methode der fehlersensitiven Pfade, Testbarkeitsmessung, integrierte CMOS Schaltungen, VLSI Schaltungen, Benchmark Schaltungen.

# Abstract

In this thesis a novel method for testing integrated digital circuits is presented. Modifications in the conventional test design procedures are necessary, otherwise the generation of test patterns with high fault coverages will be blocked.

Today's procedures to generate test patterns do not consider the dependency of physical fabrication defects from the layout structure of the integrated circuits. They place faults evenly into the circuits during test synthesis. Furthermore it is usually supposed, that only short circuits to the power supply lines do exist (for example stuck-at faults). In contrast to that we proposed here to consider the technology and structure dependency of defects in the fault modeling process. On the basis of known statistical models, which describe the defect mechanisms, algebraic formulas are developed in order to describe the main defects in a closed algebraic form and to extract them from the circuits layout. Besides the statistical defect models can be used to calculate the probabilities of the individual faults. An informative fault analysis and thus an efficient test synthesis procedure is then possible.

The newly introduced fault models are the basis of our test method. The models of the classic open faults are extended, the modeling of short faults completely renewed. With a new methodology of the test procedure, potential short circuit defects can be detected from the circuits layout and correspondingly modeled. A circuit analysis on transistor level gives information about the behavior of the different short circuit faults. Depending on the circuits structure, short faults can be detected by observing logic signals or by measuring the static current consumption.

A CAD tool was developed in order to verify the new ideas and compare them with classical fault models. The tool automatically extracts potential physical defects from the circuits layout and transforms them into CMOS faults. Based on these extracted CMOS faults an automatic faults analysis and test synthesis for combinational digital circuits have been performed.

Applying our CAD tool to the fault analysis of the ISCAS benchmark circuits shows the weaknesses of the classic fault models and emphasizes the necessity of technology- and layout-dependent fault models for CMOS circuits. The testpattern generation in our new tool takes the various probabilities and characteristics of the individual faults into account. The efficiency and quality of the generated test pattern sequences are examined and compared with the benchmark circuit examples. The achieved fault coverages impressively show the advantages of the technology- and layout-dependent fault analysis and test synthesis compared to the classic fault model and test synthesis approaches.

**Keywords** Physical defects, statistical defect models, weighted CMOS faults, short faults, open faults, stuck-open, stuck-toggle, current (CLSS) and logic large-scope short (LLSS) faults, layout dependent fault analysis, layout dependent test synthesis, circuit simulation, fault simulation, method of fault sensitive paths, testability measurement, integrated CMOS circuits, VLSI circuits, benchmark circuits.