



Doctoral Thesis

Methoden zur Lösung von Lastflussproblemen auf parallelen Prozessoren

Author(s):

Schmitz, Rolf

Publication Date:

1990

Permanent Link:

<https://doi.org/10.3929/ethz-a-000578452> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

Diss. ETH Nr. 9229

Methoden zur Lösung von
Lastflussproblemen
auf parallelen
Prozessoren

ABHANDLUNG
zur Erlangung des Titels
DOKTOR DER TECHNISCHEN WISSENSCHAFTEN
der
EIDGENÖSSISCHEN TECHNISCHEN HOCHSCHULE
ZÜRICH

vorgelegt von
ROLF SCHMITZ
Dipl. El. -Ing. ETH
geboren am 3. Januar 1958
von Böttstein (AG)

Angenommen auf Antrag von
Prof. Dr. H. Glavitsch, Referent
Prof. Dr. A. Kündig, Korreferent

ADAG Administration & Druck AG
Zürich 1990

Kurzfassung

In der vorliegenden Arbeit werden zwei Verfahren für die Lastflussberechnung auf einer beliebigen Anzahl parallel arbeitender Prozessoren vorgestellt. Dabei konnte ein weitgehend proportional zur Anzahl eingesetzter Prozessoren steigender Rechenzeitgewinn erreicht werden. Die der Berechnung zugrunde liegende Methode basiert auf dem Admittanzmatrixverfahren, wobei die entwickelten Algorithmen aber auch auf andere Lösungsverfahren angewandt werden können, sofern die Voraussetzung konstanter Systemmatrizen erfüllt ist. Jedem Prozessor wird eine Menge geographisch zusammengehörender Knoten zugeteilt, die für sich ein Teilnetz bilden. In der zugehörigen Systemmatrix werden alle nicht zum Teilnetz gehörenden Netzknoten eliminiert und damit das restliche Netz admittanzmässig korrekt auf die Grenze des betrachteten Teilnetzes abgebildet. Die Systemmatrix und ihre Faktorisierten werden in einer Vorrechnung offline bestimmt, wodurch die rechenintensive Neufaktorisierung der Systemmatrix während der Iterationen entfällt. Von den verbleibenden zeitkritischen Abschnitten können die Mismatchrechnung und der Vorwärtsaufrollprozess in allen Teilnetzen absolut parallel durchgeführt werden. Ein erstes Verfahren verwendet keinerlei Vernachlässigungen und entspricht exakt der Einprozessorenlösung. Die einzelnen Teilnetze werden gebildet, indem das ursprüngliche Netz und alle daraus entstehenden Teilnetze sukzessive halbiert werden, bis die gewünschte Anzahl Unterteilungen vorliegt. Jedes Teilnetz besteht damit aus den ihm zugewiesenen Knoten sowie sämtlichen zu seiner Unterteilung notwendigen Grenzen. Beim Rückwärtsaufrollprozess müssen an jeder der Grenzen Daten zwischen allen an ihr beteiligten Prozessoren ausgetauscht werden. Durch diesen Datenaustausch wird die Anzahl verwendbarer Prozessoren limitiert, da bei zunehmender Teilung die Länge der Grenzen anwächst, während die Menge der internen Knoten schrumpft. Um diese Beschränkung zu umgehen, wird bei einer weiteren, *hierarchisch konzipierten* Methode in ausgewählten Stützknoten ein zusätzlicher Strom eingespritzt, der die *globale* Wirkung der Strommismatches des betreffenden Teilnetzes auf alle anderen Teilnetze minimiert. Dadurch können Grenzknoten, die nicht direkt mit internen Knoten des Teilnetzes verbunden sind, vernachlässigt werden. In einer zweiten Netzebene müssen diese Einspritzströme dann wieder kompensiert werden. Dazu wird ein Netz gebildet, das nur aus den Stütz- und Grenzknoten besteht und selber wiederum in Teilnetze zerlegt werden kann. Die aufgrund der eingespritzten Ströme an den Grenzknoten entstehenden Spannungsänderungen können nun bestimmt, an die entsprechenden Teilnetze der ersten Ebene zurückgegeben und dort superponiert werden. Wegen des reduzierten Datentransfers ist diese Methode auf höhere Teilungen anwendbar. Beide Methoden wurden an zwei Referenznetzen mit 178 bzw. 712 Knoten mit bis zu 16 Unterteilungen durchgeführt, wobei ein weitgehend linear mit der Anzahl eingesetzter Prozessoren ansteigender Rechenzeitgewinn erzielt werden konnte.

Abstract

Two methods to solve load flow calculations in parallel are presented, whereby the achieved speedup increases proportionally with the number of processors involved. The basic method is the admittance method but also other methods using constant system matrices can be used. To each processor a subnetwork is assigned which is formed by a set of geographically contiguous nodes. This subnetwork is created by cutting the whole system and all resulting subnetworks successively into subnetworks of the same size until the number of processors is reached. Each subnetwork is then given by its assigned nodes and all resulting boundaries. In the system matrix all nodes which do not belong to the considered subnetwork are eliminated and only the reduced matrix is used. This leads to the correct impedance representation of the rest of the network at the boundary. A first method which was developed accordingly does not need approximations and gives therefore the exact results for each iteration as the one-processor solution. The system matrices and all factorised matrices of the subnetworks can be calculated off line. Hence the time-consuming refactorisation of the system matrix during the iterations has not to be done. Two time-critical processes – namely the mismatch calculation as well as the forward substitution – can be done in parallel while during the backward substitution process over each boundary data have to be exchanged between all subnetworks to which boundary nodes are assigned. This limits the number of processors which can be used because for higher divisions the number of boundary nodes per subnetwork increases while the number of internal nodes decreases. To avoid this restrictions a further, hierarchically conceived method is developed. In each subnetwork auxiliary nodes are chosen in which additional currents are injected to minimize the global effect of all current mismatches of the subnetwork on all boundary nodes. Then the data transfer at boundary nodes which are far from the internal nodes of the subnetwork can be neglected and therefore these boundary nodes can be eliminated. The subnetworks are then represented by their internal nodes and their direct boundary nodes. The additionally injected currents have to be compensated within a second computation whereby all nodes which are neither auxiliary nodes nor boundary nodes are eliminated. This reduced system itself can be calculated on a second level of computation in parallel as well. On this level the effects of all injected currents on all boundary nodes of the whole system are determined and sent back to the first level where the combined voltage effect of both levels are superposed. The determination on the second level may be a parallel process itself. Due to the powerful reduction of data transfer this method can be expanded to higher divisions. Both methods were tested with two reference systems of 178 and 712 nodes respectively whereby divisions of up to 16 processors were used and a proportional speedup was obtained.