

Computergestützte Erzeugung und Optimierung von arrayartigen Layouts für allgemeine SC- Netzwerke und -Filter

Doctoral Thesis

Author(s):

Zbinden, Paul

Publication date:

1993

Permanent link:

<https://doi.org/10.3929/ethz-a-000899293>

Rights / license:

[In Copyright - Non-Commercial Use Permitted](#)

29. Juli 1993

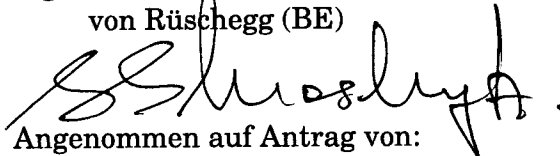
DISS. ETH Nr. 10156

**Computergestützte
Erzeugung und Optimierung
von arrayartigen Layouts
für allgemeine SC - Netz-
werke und -Filter**

ABHANDLUNG
Zur Erlangung des Titels
Doktor der Technischen Wissenschaften

der
EIDGENÖSSISCHEN TECHNISCHEN HOCHSCHULE
ZÜRICH

vorgelegt von
PAUL ZBINDEN
dipl. El.-Ing. ETH
geboren am 17. Juni 1961
von Rüschegg (BE)



Angenommen auf Antrag von:
Prof. Dr. G. S. Moschytz, Referent
Prof. Dr. W. Fichtner, Korreferent

Kurzfassung

In der vorliegenden Dissertation wird ein Computerprogramm zur automatischen Erzeugung von Layout für Filter und Netzwerke in Switched - Capacitor (SC) Technik vorgestellt.

SC - Schaltungen bilden in den meisten Anwendungen nur einen Teil eines integrierten Systems. Entsprechend ist der hier vorgestellte Layoutgenerator für SC - Schaltungen (*ScLayout*) auch nur als Teilblock zu verstehen, der in ein umfassendes CAD - System eingefügt wird. Der Layoutgenerator wandelt die Netzliste der zu integrierenden Schaltung in Layoutdaten um. Dank dieser einfachen Struktur und der Verwendung standardisierter Schnittstellen lässt sich *ScLayout* in unterschiedlichsten Umgebungen einsetzen. Für den Designer bedeutet dies, dass er innerhalb seiner gewohnten CAD - Werkzeuge arbeiten kann. Trotz der nach aussen einfachen Struktur von *ScLayout* bestehen vielfältige Möglichkeiten, den Prozess der Layouterzeugung zu beeinflussen.

ScLayout ist streng hierarchisch aufgebaut. Als Grundelemente werden nicht – wie das in der Vergangenheit häufig der Fall war – Integratoren oder sogar Filterblöcke zweiter Ordnung (Biquads) betrachtet, sondern nur Schalter, Kapazitäten und aktive Elemente. Deshalb ist *ScLayout* in der Lage, Layout allgemeiner SC - Schaltungen zu erzeugen.

Dank den speziellen Eigenschaften der SC - Schaltungen müssen nur die Kapazitäten in jeder Schaltung individuell erzeugt werden. Schalter und aktive Komponenten lassen sich für eine grössere

Klasse von Schaltungen verwenden. Sie werden deshalb aus Zellbibliotheken bezogen. Auch ist eine Erzeugung mit externen, spezialisierten Generatoren möglich.

Alle Grundelemente der gleichen Art werden in Arrays zusammengefasst. Die Anordnung der Arrays auf dem Chip (=Floorplan) kann auf verschiedene Arten erfolgen und somit der Struktur des zu implementierenden Netzwerkes angepasst werden. Bei gewissen Floorplans werden die Kapazitäten nicht nur als Netzwerkelemente, sondern gleichzeitig auch als Verbindungen eingesetzt. Eine Untersuchung zeigt, dass durch dieses Vorgehen einzig eine Beschränkung der maximalen erlaubten Taktfrequenz resultiert. Bei Annahme durchschnittlicher Werte für Widerstände und Kapazitäten liegt diese Grenze im MHz - Bereich.

Bei SC - Schaltungen handelt es sich um gemischt analog / digitale Netzwerke. Diesem Umstand muss bei der Platzierung und Verdrahtung der Elemente besondere Beachtung geschenkt werden. Für die Platzierung der Schalter wird eine Methode entwickelt, welche es erlaubt, die Verdrahtung streuinsensitiver, zweiphasiger SC - Netzwerke so zu realisieren, dass keine sensitiven parasitären Kapazitäten entstehen.

Durch die Skalierung und zwei neu entwickelte Platzieralgorithmen wird bei den Kapazitäten eine sehr gute Ausnutzung der verfügbaren Chipfläche und ein gutes Matching der Komponenten erreicht.

Testintegrationen bestätigen, dass dank den verwendeten Optimierungen automatisch Layout von SC - Schaltungen erzeugt werden kann, das bezüglich seiner Dichte mit Handlayout vergleichbar ist. Auch die Genauigkeit der Übertragungsfunktion bei Filtern unterscheidet sich nicht von guten manuellen Designs. Die Messungen zeigen eine ausserordentlich genaue Übereinstimmung mit den Simulationen.

Abstract

In this thesis a computer program for the automatic layout generation for arbitrary switched - capacitor (SC) circuits is presented.

In most applications, SC - circuits form only part of an integrated system. Therefore, the layout generator (*ScLayout*), which is presented, is intended to be a sub-system, which is to be integrated into a larger CAD system. The functionality of the layout generator is restricted to a conversion of the netlist description of a circuit into the corresponding layout data. The simple structure and the use of standardized interfaces permit *ScLayout* to be used in various CAD environments. This provides the designer with the possibility of working within the CAD tools he or she is familiar with. In spite of *ScLayout's* very simple interface structure, there exist various possibilities to influence the process of layout generation.

ScLayout has a strictly hierarchical structure. Switches, capacitors and active elements are considered leaf-cells, and not integrators or even biquadratic filter blocks, as this was often done in the past. *ScLayout* can therefore generate layout of any circuits consisting of switches, capacitors, and active components such as amplifiers, comparators, and multipliers.

It is shown that, due to the special properties of SC - circuits, only capacitors have to be generated individually for each circuit. Switches and active components can be used for a wider class of circuits. They are therefore imported from cell - libraries. It is also

possible to use external, specialized, tools for generation of switches and active components.

All circuit elements of a kind are placed in arrays. Placement of the individual arrays on the chip can be carried out in different ways, in order to find a floorplan that is well suited for the considered circuit topology. Capacitors are not only used as network elements but also as conductors in certain floorplans. It is shown that this influences only the maximum allowable clock frequency. For average values of resistance and capacitance of the integrated elements, this upper limit for the clock frequency is in the MHz - range.

SC - circuits are mixed analog / digital networks. This must be kept in mind while placing and routing the integrated circuit. A method for placing switches is presented, which allows routing of stray - insensitive, two - phase, networks without producing noticeable parasitic capacitance.

In order to achieve good area utilization and matching for capacitors, a scaling method and two placement algorithms are proposed.

Test - integrations show that *ScLayout* produces a layout, which is comparable to a hand - layout with respect to density. Measurements of integrated filters show an excellent agreement with the simulations.