

Hochpräzise "Switched Current" Schaltungen

Doctoral Thesis

Author(s):

Di, Jiandong

Publication date:

1997

Permanent link:

<https://doi.org/10.3929/ethz-a-001856525>

Rights / license:

In Copyright - Non-Commercial Use Permitted

Diss. ETH ex. B

Diss. ETH Nr. 12194

Hochpräzise „Switched Current“ Schaltungen

ABHANDLUNG
zur Erlangung des Titels eines
Doktors der technischen Wissenschaften
der
EIDGENÖSSISCHEN TECHNISCHEN HOCHSCHULE
ZÜRICH

vorgelegt von
JIANDONG DI
Dipl. El.-Ing. ETH
geboren am 8. Juli 1958
von V. R. China



CatE

Angenommen auf Antrag von
Prof. Dr. Walter Guggenbühl, Referent
Prof. Dr. Werner Bächtold, Korreferent

Zürich, 1997

Kurzfassung

„Switched Current“ (SI) ist eine Technik für analoge Signalverarbeitungsprozesse, welche dank ihrer vorteilhaften Eigenschaften in Richtung *Low-Power* und *Low-Voltage* immer mehr industrielles Interesse weckt. In dieser Arbeit werden einige Beiträge zu hochpräzisen SI-Schaltungen präsentiert. Als Anwendungsbeispiel wird die Realisierung eines 8 bit Strom-ADCs in SI-Technik gezeigt, welcher gegenüber den klassischen Realisierungen eine kleinere Chipfläche und kleinere Verlustleistung aufweist.

Nach einem kurzen historischen Rückblick in Kapitel 1 werden anhand eines Vergleiches mit der *Switched Capacitor* Technik die wesentlichen Vorteile der SI-Technik aufgezeigt. Ausgehend von der SI-Grundschialtung behandelt Kapitel 2 zwei Hauptprobleme der SI-Technik: den begrenzten Ausgangswiderstand der Transistor-Stromquellen und das Taktübersprechen (Clockfeedthrough).

Basierend auf der Analyse von drei Kaskodenschaltungen im Stromkopierbetrieb wird in Kapitel 3 die *Regulated Cascode* (RGC) als Lösung zur Vergrößerung des Ausgangswiderstands vorgeschlagen. Es zeigt sich, dass durch Einsetzen eines signalabhängigen Referenzstroms der dynamische Bereich einer Kaskodenschaltung verbessert werden kann. Kapitel 4 diskutiert Anwendungen der RGC als Konstantstromquelle und als Speicherzelle in der Stromkopierschaltung. Die RGC-Speicherzelle hat gegenüber der Variante mit klassischer Kaskode einen zusätzlichen, extrem niederohmigen Stromeingang, der keinen besonders grossen Innenwiderstand der zugehörigen Signalquelle erfordert.

Die Methoden der Reduktionstechnik des Clockfeedthrough (CFT) sind ein wesentliches Thema dieser Arbeit. In Kapitel 5 wird die Technik der *Millerkapazität-Reduktion* (MKR) präsentiert, bei welcher eine elektronisch vergrösserte Speicher-Kapazität eingesetzt und dadurch der CFT-Fehler stark reduziert wird, ohne die Chipfläche und zum Teil auch die Arbeitsgeschwindigkeit stark zu beeinträchtigen. Als Anwendung dieser Technik wird ein präziser Stromverdoppler realisiert. Als weitere Methode zur CFT-Reduktion wird die D-Zellen-Technik behandelt, bei der der

CFT-Fehlerbetrag je nach Konstruktion der Schaltung entweder unabhängig vom Signal oder alternativ sehr klein gemacht werden kann.

In Kapitel 6 werden als weitere SI-Schaltungsfunktionen Stromkomparatoren behandelt, aufgeteilt in **unipolare**, **bipolare** und **getaktete Komparatoren**. Unter den unipolaren Komparatoren findet der *Rampenstromkomparator*, welcher gegenüber dem klassischen Stromspiegel-Komparator die Stromgleichheit auch bei einer extrem langsamen Signalrampe relativ schnell detektieren kann, besondere Beachtung. Bipolare Komparatoren sind vor allem für die Stromdetektion von Nulldurchgängen geeignet. Die Geschwindigkeit dieser Schaltungsklasse ist als Folge des Umschaltens der Transistoren zwischen dem Sperr- und Aktiv-Zustand (im B-Betrieb) beschränkt. Schliesslich wird die Realisierung eines getakteten Stromkomparators gezeigt. Da hier die Verstärker der Komparatorschaltung im sensitivsten Bereich betrieben werden, kann die Gleichheit des Signalstroms gegenüber der Referenz sehr schnell detektiert werden, selbst wenn die Stromdifferenz zwischen dem Signal und der Referenz im nA-Bereich liegt. Diese Art von Komparatoren ist für ADCs geeignet.

Schliesslich wird als SI-Anwendung in Kapitel 7 die Realisierung eines zyklischen Strom-ADC mit 8 bit Auflösung präsentiert. Theoretische Fehleranalysen und Messungen zeigen, dass hauptsächlich der Komparatoroffset die Nichtlinearität verursacht. Mit dem in Kapitel 6 vorgeschlagenen verbesserten Komparator VGSK könnte eine Auflösung des ADC von 9 bis 10 Bit erreicht werden. Im Abschnitt 7.4 wird schliesslich der sog. zyklische RSD-ADC (*Redundant Signed Digit*) vorgestellt und bezüglich der für die SI-Technik typischen Fehler simuliert. Der Vorteil dieses ADC gegenüber dem klassischen zyklischen ADC ist die Insensitivität bezüglich des Stromoffsets.

Es folgen zum Abschluss einige Vorschläge für künftige Arbeiten auf dem SI-Gebiet.

Abstract

Switched Current (SI) is a technique for analog signal processing, which, due to its *Low-Power* and *Low-Voltage* features, awakes more and more industry interest. In this thesis several contributions are presented on highly accurate SI circuits. As an application using the proposed circuit technique, an 8-bit SI-ADC is realized, which has a smaller chip area and a smaller power consumption in comparison with the classical methods.

After a short introduction into the history of the SI-technique in chapter 1, its essential advantages, compared with *Switched Capacitor* technique, are indicated. Starting with the SI basic circuit in chapter 2 the two main problems associated with poor transistor output resistance and *Clockfeedthrough* (CFT) are discussed.

Based on theoretical analysis of three cascode circuits in the current copying operation in chapter 3, the *Regulated Cascode* (RGC) is suggested as a reasonable solution to increase the output resistance of a transistor. It is shown, that the dynamic range of a cascode circuit can be improved through using a signal dependent reference current. In chapter 4 the RGC is used as a constant current source and as a memory cell in the current copying circuit. In comparison with the classical cascode, the RGC has an additional current input, which is extremely low ohmic, and which does not require a special large internal resistance of the associated signal source.

The *Clockfeedthrough* reduction technique is an essential part of this work. In chapter 5 the technique called *Miller Capacitor Reduction* (MKR) is presented, which uses an electrically enlarged capacitance, and thereby reduces strongly the CFT error without affecting the chip area and the speed much. As an application, an accurate current doubler is realized. As a further method for the CFT reduction the *D-Cell* technique is presented. Depending on the circuit construction the CFT error can be made either independent of signal, or very small.

Chapter 6 describes current comparators, which are important SI building blocks. They are grouped into *unipolar*, *bipolar* and *switched compara-*

tors. Under *unipolar comparators* the main emphasis is put on the *ramp comparator*, which, in comparison with the classical current mirror comparator, can detect the current balance relatively fast even if an extremely slow ramp signal is applied. *Bipolar comparators* are mainly used for the current detection of zero crossings. The circuit speed of this class is limited due to the switching of transistors between the Cutoff and Saturation region (Class B). Finally the realization of a *switched comparator* suited for the SI ADC is shown. Since the amplifiers in this comparator are operated in the most sensitive region, the balance of the signal in relation to the reference current can be very quickly detected, even if the difference between the signal and the reference current lies in the nA range. This type of comparator is used in the SI ADC in chapter 7.

In chapter 7 a cyclic current ADC with an 8 bit resolution is realized with SI techniques. The theoretical analysis and measurements show, that the comparator offset causes most of the nonlinearity of the ADC. With an improved comparator VGSK as described in chapter 6 this kind of ADC would achieve a resolution of 9 to 10 bit. In section 7.4 the so-called cyclic RSD-ADC (*Redundant Signed Digit*) is introduced and simulated with respect to the errors typical for SI circuits. It is shown, that compared with the classical cyclic ADCs the advantage of this RSD-ADC is the insensitivity to the current offset.

In the closing chapter several suggestions for future work in the SI field are presented.

内容提要

开关电流 (Switched Current SI) 是一项用于模拟信号处理的新技术, 以其低功耗及低电压的优点, 越来越引起工业界的关注。本文阐述对高精度开关电流电路的研究成果, 并介绍运用开关电流技术实施的8位电流 A/D 转换器。与传统技术相比, 该转换器具有小芯片面积和低功耗的优点。

第一章, 在简述开关电流技术发展史的基础上, 通过与开关电容技术的比较, 揭示开关电流技术在集成电路领域中具有的基本优点。

第二章, 从分析开关电流的基本电路出发, 阐明晶体管的有限输出阻抗以及时钟脉冲串扰 (Clockfeedthrough) 给开关电流技术的发展所带来的问题。

第三章, 基于对应用于电流复制 (Current Copying) 的三种级联电路 (Cascode Circuits) 的理论分析, 提出运用调控级联电路 (Regulated Cascode RGC) 以解决晶体管有限输出阻抗的问题。研究表明, 使用与信号相关的参照电流能增大级联电路的动态范围。

第四章, 讨论将RGC作为恒流源及电流储存器的应用, 并指出, 与传统的级联电路相比, RGC有个额外的特别低阻抗的电流输入口。该电流输入口对信号源内阻无特殊要求。

第五章, 着重阐述本文的基本论题---有关减小时钟脉冲串扰 (CFT) 的新技术。首先介绍了密勒电容减小技术。该技术根据密勒理论利用电子放大后的电容来减小CFT-误差, 从而不会过多地影响到芯片面积和工作速度。作为应用实例展示了用该技术实施的高精电流双倍器。接着介绍了减小CFT-误差的D-电路技术。按照不同的电路结构, 该技术既能使 CFT-误差与信号大小无关, 或也能使之变得很小。

第六章，分别说明单向比较器，双向比较器和开关比较器这三种电流比较器的构造与特征。指出，斜坡电流比较器 (Ramp Current Comparator) 归属单向比较器。比之传统的电流镜比较器，即使是上升特慢的线性信号它也能较快地检测出电流平恒点，由此引人注目。双向比较器则适用于检测信号电流在零点处的过渡。这类电路的速度因为晶体管转换于截止和放大区而受限制。适用于开关电流A/D转换器的开关比较器，因其放大器工作于最敏感区，所以能十分迅速地检测出信号与参照电流的平恒点，即使信号与参照电流的差额在 nA 范畴内。

第七章，阐述了运用开关电流技术研制的8位循环式电流A/D转换器。理论误差分析和实际测量表明，它的非线性主要由比较器的零点漂移 (offset) 所致。如用那第六章中所建议的改进型比较器 VGSK 能将该转换器的精度提高到9至10位。在7.4中介绍了所谓的循环式 RSD-A/D 转换器，并针对开关电流技术的典型误差进行了仿真计算。比之传统的AD转换器，它的优点在于对电流 offset 的不敏感性。

最后一章，对今后在开关电流领域中的研究方向提出建议。