



Doctoral Thesis

Clock and data recovery circuit for protocol- and bitrate-independent data networks

Author(s):

Nizzola, Pietro

Publication Date:

1998

Permanent Link:

<https://doi.org/10.3929/ethz-a-001984659> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

Diss. ETH 2x 3

DISS. ETH Nr. 12778

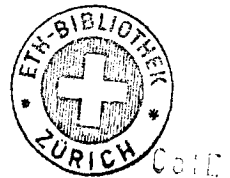
Clock and Data Recovery Circuit for Protocol- and Bitrate-Independent Data Networks

A dissertation submitted to the
SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH

for the degree of
Doctor of Technical Sciences

presented by

Pietro Nizzola
Dipl. El. Ing. ETH
born on August 26th, 1967
citizen of Loco, Switzerland



accepted on the recommendation of

Prof. Dr. H. Melchior, examiner
Prof. Dr. Q. Huang, co-examiner

1998

Abstract

The evolution of optical communication over the past years has been characterised by a dramatic increase of the channel bandwidth and of the network connectivity. The direct consequence has been the growth of ATM (Asynchronous Transfer Mode) and SDH (Synchronous Digital Hierarchy) technologies that set the basis of the future communication systems, where networks with different characteristics will be interconnected. The links within such networks must appear "transparent" to the transmitted data. Such a link is then called "clear channel" because of its transparency in terms of protocol and bitrate independence. Due to present technological limitations, the potential of such new interconnection capabilities has not been exploited to its maximum. The challenge for the future will be the realisation of protocol and transmission rate independent networks. This implies modifications of the transmitters, receivers and especially of the synchronisation circuits, also called Clock and Data Recovery (CDR) circuits.

The growing demand for low cost fully integrated devices and the above requirements of bitrate and protocol independence impose enormous constraints on the CDR circuits. The architectures available up to now are not fully compatible with the clear channel technique. In fact, while some circuits operate over a wide frequency range but require a proprietary protocol, other circuits work with different formats but only at a fixed bitrate. Between these two extremes there is the CDR circuit based on the Phase Locked Loop (PLL) architecture that can potentially meet the requirements of the clear channel environment, however requiring significant improvements. The open issues related to the PLL are related to the functionality over a wide frequency range of the edge detector (i.e. a circuit detecting the input data bit transitions), of the Voltage Controlled Oscillator (VCO) and of the frequency detector.

The aim of this thesis is to propose and realise a fully integrated CDR circuit working in clear channel systems. The operational environment envisioned is characterised by the transmission of different protocols within an SDH frame at the three bitrates of 622, 737 and 1062Mbit/s. The rms (root mean square) output clock jitter has to be limited within the CCITT (International Telegraph and Telephone Consultative Committee) recommendations G.958. In our case this means 16ps for a 622Mbit/s data transmission and 9.4ps for 1060Mbit/s. The synchronisation time of the CDR has not been identified as a critical issue for this first implementation. High frequency portability, ease of use, monolithic integration of all the building blocks, low cost and circuit reliability have also been set as additional goals.

The open issues mentioned above concerning the random input data and wide bitrate range have been resolved by the introduction of a novel edge detector, a novel phase frequency detector and with a new VCO. The novel edge detector structure is based on a variable delay cell that allows the control of the output signal duty cycle over all the frequency range, avoiding therefore the cancellation of the edge detector output when working with large frequency ranges. The frequency detector used is based on

a classical quadr correlator with novel mixers enabling functionality even at frequency ratios larger than 1:2. Finally, the VCO circuit has been designed such as to allow a wide frequency tunability.

The proposed solution has been realised in a commercial and low cost 0.8 μ m BiCMOS technology. The circuit contains a complete PLL, an edge detector and a decision circuit. The silicon die size is about 1.3x1.8mm² and only the passive components of the loop filter (resistor and capacitor) are located outside the chip. The output clock jitter has been controlled in two ways. First, the VCO range has been divided in two regions: the low frequency range between 570 and 840MHz and the high frequency range between 1030 and 1090MHz. Second, the circuit has been realised in a fully differential architecture and the high speed control signals have been internally attenuated. Making use of bipolar differential stages also allows the transfer of the architecture to higher bitrates such as 2.5Gbit/s or even 10Gbit/s. With the help of bandgap references, all circuit bias points have been stabilised against temperature and power supply variations.

The circuit has been fully characterised over the entire range of operation speeds. For this, a low cost mounting technique has been applied: chips have been glued into a Small Outline Integrated Circuit (SOIC) package and then soldered onto a standard Printed Circuit Board (PCB). The output clock measurements have shown very low PLL internal rms jitters of 8.5ps for a 622Mbit/s bitrate and 4.1ps for 1060Mbit/s. Bit Error Rate (BER) measurements have demonstrated good performances with values lower than $2 \cdot 10^{-14}$, indicating an excellent phase alignment between incoming data and regenerated clock signal. The lock-in range of the circuit in both frequency ranges has been set such to allow any arbitrary bitrate changes. The acquisition time of the CDR circuit has been measured to be less than 4ms when switching a PRBS $2^{31}-1$ random sequence between 770 and 570Mbit/s. The voltage supply can be varied from 3V to 5.5V, exhibiting a low power consumption of about 100mW and 220mW respectively. The CDR circuit has also been successfully tested in a complete optical link composed of a laser driver and an integrated receiver array.

Riassunto

L'evoluzione della tecnica di comunicazione a fibre ottiche in questi ultimi anni è stata caratterizzata da un notevole sviluppo nella capacità di trasmissione di dati e nell'incremento delle connessioni fra reti. La conseguenza più diretta è stata la nascita e la crescita di nuove tecnologie di trasmissione quali l'ATM (Asynchronous Transfer Mode) e l'SDH (Synchronous Digital Hierarchy) che hanno posto le basi delle future tecniche di comunicazione comprendenti reti con differenti caratteristiche. I collegamenti fra queste diverse reti devono conseguentemente apparire trasparenti ai dati stessi, in particolare per quanto concerne i protocolli e le frequenze di trasmissione e vengono quindi denominati "clear channels". Purtroppo a causa delle limitazioni dell'attuale tecnologia, le potenzialità di simili reti non hanno mai potuto esser sfruttate al massimo. La sfida del futuro in questo campo si baserà quindi sullo sviluppo di connessioni ottiche indipendenti dalle frequenze e dai protocolli di trasmissione. In particolare ciò avverrà grazie allo sviluppo di nuovi trasmettitori, ricevitori e specialmente di circuiti di sincronizzazione, questi ultimi chiamati circuiti di recupero di orologio e di dati, CDR dall'inglese "Clock and Data Recovery" circuits.

La crescente domanda di componenti a basso costo, e conseguentemente integrabili su circuiti a semiconduttori in silicio, e i requisiti espressi sopra riguardanti le frequenze e i protocolli di trasmissione impongono enormi costrizioni ai circuiti CDR. Le architetture disponibili attualmente non sono completamente compatibili con questa nuova tecnica dei "clear channels". Infatti, se da un lato ci sono circuiti funzionanti con diverse frequenze di trasmissione ma solo con ben definiti protocolli, dall'altro lato ci sono circuiti operanti con diversi protocolli ma ad una sola frequenza di trasmissione. Fra questi due poli c'è il CDR basato sul PLL, "Phase Locked Loop", che se modificato adeguatamente può venire usato come CDR per sistemi a "clear channels". Le parti da migliorare riguardano il detettore di fianchi del segnale di entrata, l'oscillatore VCO ("Voltage Controlled Oscillator") e il detettore di frequenza. Questi circuiti infatti devono essere migliorati in modo da funzionare anche con grandi cambiamenti di frequenza.

Lo scopo di questa tesi è di sviluppare e realizzare un circuito CDR integrato su silicio per applicazioni in sistemi a "clear channels". L'applicazione considerata prevede l'uso di un contenitore SDH a tre frequenze di trasmissione: 622, 737 e 1060Mbit/s. Il rumore di fase dell'orologio di uscita, espresso in rms ("root mean square") deve adempiere alla norma CCITT (International Telegraph and Telephone Consultative Committee) paragrafo G.958. indicante un rumore di 16ps e 9.4ps per una trasmissione di 622Mbit/s rispettivamente di 1060Mbit/s. Il tempo di sincronizzazione non è stato considerato importante per questa prima realizzazione. Altri fattori che sono stati tenuti in considerazione durante lo sviluppo del circuito riguardano la sua potenzialità per alte frequenze, il suo facile impiego, l'integrazione di tutti i suoi componenti, il basso prezzo e la sua affidabilità.

Le problematiche espresse sopra riguardanti le frequenze e i protocolli di trasmissione sono state risolte da un nuovo tipo di detettore di fianchi, di detettore di frequenza e di VCO. Il detettore di fianchi usato si basa su una cella di ritardo variabile che permette il controllo del cosiddetto "duty cycle" evitando quindi che il segnale di uscita sparisca quando si usano variazioni di frequenze troppo grandi. Il detettore di frequenza si basa sulla struttura denominata "quadricorrelator", modificata in modo tale, grazie a nuovi "mixers", da poter funzionare anche con grandi variazioni di frequenza. Infine il VCO è stato modificato così da poter generare variazioni di frequenze superiori al rapporto 1:2.

La soluzione proposta è stata realizzata in una tecnologia BiCMOS 0.8 μ m in silicio a basso costo. Il circuito comprende un PLL completo, un detettore di fianchi e un circuito di comparazione. L'area complessiva di silicio usata si avvicina ai 1.3x1.8mm² e unicamente le componenti del filtro, una resistenza e una capacità, sono esterne al chip. Il rumore di fase del segnale di uscita è stato mantenuto basso in due modi: il primo tramite la divisione della gamma di frequenze del VCO, diviso fra 570-840MHz e 1030-1090MHz. Il secondo tramite un'architettura a stadi differenziali e tramite la soppressione delle componenti ad alta frequenza. Inoltre l'uso di stadi differenziali di transistori bipolari permette di portare questo design su tecnologie ad alte "performances" per velocità attorno ai 2.5Gbit/s e in un prossimo futuro ai 10Gbit/s. Il diffuso uso di referenze a "bandgap" permette di stabilizzare i vari punti di lavoro a oscillazioni di temperatura e di tensione di alimentazione.

Il circuito è stato caratterizzato e misurato su tutta la sua gamma di frequenze volute. Ciò è stato raggiunto tramite un montaggio a basso costo: i chips sono stati incollati in scatoline SOIC "Small Outline Integrated Circuit" e poi saldati su una normale piastra PCB "Printed Circuit Board". Le misurazioni effettuate sui segnali di uscita mostrano un rumore di fase del PLL, espresso in rms, di 8.5ps e 4.1ps per dati a 622 rispettivamente a 1060Mbit/s. Tramite una misurazione degli errori BER "Bit Error Rate" risultante in valori migliori di $2 \cdot 10^{-14}$ si è potuto appurare che la fase dei segnali rigenerati è perfettamente allineata con quella del segnale di entrata. Il tempo di acquisizione misurato è risultato esser minore di 4ms per un cambiamento di frequenza da 770 a 570Mbit/s. La tensione di alimentazione può venire variata fra 3 e 5.5V, dando un consumo di 100mW rispettivamente di 220mW. Il circuito CDR è poi infine stato testato con successo all'interno di un sistema di comunicazione a fibre ottiche formato da un trasmettitore laser e un ricevitore.