



Doctoral Thesis

## Industrial CMOS technology for thermal imagers

**Author(s):**

Münch, Ulrich; Baltés, Henry

**Publication Date:**

2000

**Permanent Link:**

<https://doi.org/10.3929/ethz-a-004071367> →

**Rights / License:**

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

---

DISS. ETH No. 13801

# INDUSTRIAL CMOS TECHNOLOGY FOR THERMAL IMAGERS

A thesis submitted to the  
SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH

for the degree of  
DOCTOR OF NATURAL SCIENCES

presented by  
ULRICH MÜNCH  
Dipl. Phys. Universität Bonn, Germany  
Born September 26, 1970  
Citizen of Germany

accepted on the recommendation of  
Prof. Dr. H. Baltes, supervisor  
Prof. Dr. P. French, co-examiner  
Dr. O. Brand, co-examiner

2000

---

---

# ABSTRACT

This thesis reports on industrial sensor fabrication technologies for thermal imagers based on standard CMOS processes. The sensor fabrication consists of an modified 1  $\mu\text{m}$  CMOS process and an industrial gold bumping process, both commercially offered by *EM Microelectronic-Marin SA*, Marin, Switzerland. Silicon micromachining performed on entire six-inch wafers is used to release thermally insulated membrane structures.

The presented thermal imagers consist of sensor arrays cointegrated with dedicated addressing and signal conditioning circuitry. The sensor array is thermally isolated by removing the bulk silicon using anisotropic etching from the rear of the wafer. The resulting membrane consists of the dielectric layers of the CMOS process. Electroplated gold lines thermally isolate neighboring pixels and stiffen the membrane. Each pixel of the sensor array contains a thermopile integrated in the CMOS dielectric layers. The “hot” thermopile junctions are located in the pixel center, the “cold” junctions are placed underneath the gold lines. The pixels absorb incident infrared radiation and heat up. The thermopiles convert the temperature change into an electrical signal.

We fabricated fully integrated thermal imagers with pixel sizes ranging from 10 by 10 to 32 by 40 pixels. Membranes with sizes of up to 5.3 by 12.2  $\text{mm}^2$  are needed to accommodate the infrared sensor arrays. The mature low cost fabrication technology exhibits chip yields of over 99 % after dicing. The reliability of the microsystems has been demonstrated by successfully passing a subset of industrial qualification tests, namely a high-temperature-bias, a temperature-humidity-bias, and a thermal shock test.

Anisotropic etching of fully CMOS processed wafers is a challenge since KOH heavily attacks the CMOS metallization. Usually, the wafer front side is protected with a mechanical housing during the etching step. In this work, two novel protection schemes are presented based on dielectric and metal thin films. With these protection schemes, the aluminum metallization is preserved while the mem-

---

branes are released with a yield of 100 %. Whole wafer batches can now be anisotropically etched simultaneously. In this way, the cost effectiveness of the CMOS process is conserved during the sensor fabrication.

KOH anisotropic etching bears the potential risk of alkaline contaminations of the sensor circuitry as well as the fabrication equipment. However, CV measurements of MOS capacitors and threshold voltage measurements of metal gate transistors did not show any changes related to KOH etching. With the help of secondary ion mass spectroscopy it could be demonstrated that the CMOS layers and, thus, fabrication equipment are not contaminated if an appropriate cleaning is employed after KOH etching.

---

# ZUSAMMENFASSUNG

Diese Dissertation befaßt sich mit industriellen Technologien zur Herstellung von bildgebenden Wärmesensoren. Ausgangspunkt dieser Technologien sind standardisierte CMOS Prozesse. Der Herstellungsprozess umfasst einen angepassten 1 µm CMOS Prozeß sowie einen industriellen Goldabschleifprozeß, die beide von *EM Microelectronic-Marin SA*, Marin, Schweiz, auf kommerzieller Basis angeboten werden. Thermisch isolierende Membranstrukturen werden anschließend mittels Silizium-Mikrostrukturierung von ganzen 150 mm Wafern hergestellt.

Die vorgestellten bildgebenden Wärmesensoren bestehen aus einer Sensormatrix sowie aus Adressier- und Signalverarbeitungselektronik auf einem einzigen Mikrochip. Die thermische Isolierung der Sensormatrix wird durch Entfernen des Siliziumsubstrates von der Rückseite her mittels anisotropem Ätzen erreicht. Die entstandene Membran ist aus den dielektrischen Schichten des CMOS Prozesses aufgebaut. Goldlinien, die mit einem galvanischen Prozeß abgeschieden werden, ermöglichen eine thermische Trennung zwischen den einzelnen Sensorelementen und stabilisieren gleichzeitig die Membran. Jedes Element der Sensormatrix besteht aus einer in die dielektrischen Schichten eingebetteten Thermosäule. Die "heissen" Kontakte der Thermosäule befinden sich in der Mitte der Membran, die "kalten" Kontakte sind unter den Goldlinien angeordnet. Die einzelnen Sensorelemente heizen sich infolge absorbierter Infrarotstrahlung auf. Die Thermosäulen wandeln diese Temperaturänderung in ein elektrisches Signal um.

Im Rahmen dieser Arbeit wurden vollintegrierte bildgebende Wärmesensoren mit Auflösungen von 10 mal 10 bis 32 mal 40 Bildpunkten hergestellt. Die maximale Größe der entsprechenden Membranen war 5.3 mal 12.2 mm<sup>2</sup>. Die ausgereifte kostengünstige Herstellungsmethode ermöglicht Chipausbeuten von über 99 % nach dem Sägen der Siliziumwafer. Durch das erfolgreiche Durchlaufen einer Reihe industrieller Lebensdauertests konnte die Zuverlässigkeit dieser Mikrosysteme gezeigt werden. Folgende Tests wurden im Einzelnen durchlaufen: ein

---

Hochtemperaturtest und ein Feuchtigkeit-Temperatur Test jeweils mit angelegter Versorgungsspannung sowie ein thermischer Schocktest.

Anisotropes Ätzen mit KOH-Lösungen stellt eine grosse Herausforderung dar, da diese Lösungen die Metallisierung des CMOS Prozesses innerhalb kürzester Zeit wegätzen. Um dies zu verhindern, wird standardmäßig die Wafervorderseite mit einem Gehäuse mechanisch geschützt. Im Rahmen dieser Arbeit wurden zwei Methoden zum Schutz der Wafervorderseite entwickelt, die auf dielektrischen und metallischen Dünnschichten beruhen. Mit Hilfe dieser Methoden bleibt die Metallisierung intakt, während gleichzeitig Membrane mit einer Ausbeute von 100 % hergestellt werden können. Ganze Waferchargen können dank diesen Methoden nun auf einmal geätzt werden, so daß sich diese Methoden hervorragend zur Ergänzung kostengünstiger CMOS Prozesse eignen.

Das anisotrope Ätzen mit KOH Lösungen birgt die Gefahr von Alkaliverunreinigungen der Schaltkreise sowie der Produktionsmaschinen. Wir haben CV-Kurven von MOS Kapazitäten sowie die Einsatzspannungen von NMOS Feldeffekttransistoren bestimmt. Diese zeigten keinerlei Einfluß des KOH-Ätzens. Des weiteren wurden Sekundärionen-Massenspektroskopie-Untersuchungen durchgeführt. Wir konnten zeigen, daß keinerlei Alkaliverunreinigungen in den untersuchten CMOS Schichten vorlagen, wenn diese Schichten angemessen gereinigt wurden. Eine Verschmutzung von Produktionsmaschinen kann somit ausgeschlossen werden.