

# **Decision Feedback Equalization for Powerline and HIPERLAN**

A dissertation submitted to the  
SWISS FEDERAL INSTITUTE OF TECHNOLOGY  
ZURICH

for the degree of  
Doctor of Technical Sciences

presented by

Thomas Michael Sailer  
Dipl. El.-Ing. ETH  
born April 29th, 1971  
citizen of Winterthur, ZH

accepted on the recommendation of

Prof. Dr. Gerhard Tröster, examiner  
Prof. Dr. Hans-Andrea Loeliger, co-examiner  
Dr.-Ing. Johannes Kneip, co-examiner

## Abstract

High-speed packet based communication systems such as HIPERLAN or Powerline Communications (PLC) are increasingly popular. The channels these systems operate on introduce severe Intersymbol Interference (ISI), which has to be mitigated. The Decision Feedback Equalizer (DFE) is an attractive method for high speed systems, as it performs well at moderate implementation cost. The DFE is most often implemented using transversal Finite Impulse Response (FIR) filters. The DFE consists of a Feedforward Filter (FFF) and a Feedback Filter (FBF).

Packet based systems usually employ a preamble for synchronisation purposes and to estimate the channel impulse response (CIR). The minimum mean square error criterion leads to a system of linear equations, the DFE key equations, for computing the optimal DFE filter coefficients from the CIR. While the DFE itself is easy to map onto parallel hardware, the fast computation of the filter coefficients is more difficult. Because it is part of the critical path of packet decoding, quick computation of the coefficients is essential. Therefore this contribution focuses on the efficient computation of the DFE coefficients.

A novel algorithm based on Displacement Structure Theory well suited to VLSI implementation is developed. A hardware architecture implementing the algorithm is proposed. It consists of a linear chain of processing elements. The processing elements mainly consist of CORDIC blocks. The architecture has desirable properties for VLSI technology, namely local communication only and a highly regular and aggressively pipelineable datapath, making fast clock frequencies possible. The proposed architecture computes the FFF coefficients of a 12 tap Decision Feedback Equalizer suitable for HIPERLAN I in 221 clock cycles using an area of  $1.4\text{mm}^2$  on a  $0.35\mu\text{m}$  standard cell process and consuming  $1.5\mu\text{J}$  per computation. In contrast, the so called QR factorization previously proposed in literature for the same problem requires approximately 576 clock cycles, an area of  $30.90\text{mm}^2$  and  $68\mu\text{J}$  per computation.

For systems that can tolerate longer packet decode latency but require more flexibility, such as Powerline communication (PLC) systems, a Digital Signal Processor is a suitable platform for computing the equalizer coefficients. In order to make real-time prototyping possible, a high speed DSP core that can be implemented on Field Programmable Gate Arrays (FPGAs)

has been developed. The DSP core can operate at up to 80 MHz/80 MIPS on a Xilinx Virtex XCV400-6 device, uses approximately 100k gate equivalents and features a single cycle throughput multiplier/accumulator and a 16bit datapath. It outperforms all competing commercial designs known to the author by more than 50%. It can compute the FFF coefficients of a 10 tap symbol spaced single output real equalizer in 9923 clock cycles. A dedicated hardware architecture requires 692 clock cycles and 24k gates for the same problem.

## Kurzfassung

Paketbasierte schnelle Kommunikationssysteme wie HIPERLAN oder Powerline Modems (PLC) werden immer populärer. Die Kanäle, über die diese Systeme kommunizieren, verursachen starke Intersymbolinterferenz. Der entscheidungsrückgekoppelte Entzerrer (Decision Feedback Equalizer, DFE) ist eine attraktive Methode, die Intersymbolinterferenz zu kompensieren. Der DFE wird meist mittels Transversalfiltern realisiert. Er besteht aus einem Vorwärts- und einem Rückkoppelungsfilter.

Paketbasierte Systeme verwenden oft eine Präambel, welche zur Synchronisation und zur Schätzung der Kanalimpulsantwort (CIR) verwendet wird. Die Verwendung des minimalen Fehlerquadrat-Kriteriums führt zu einem System linearer Gleichungen, mit denen die optimalen DFE Filterkoeffizienten aus der Kanalimpulsantwort berechnet werden können. Der DFE selber kann einfach parallelisiert werden, die schnelle Berechnung der Koeffizienten jedoch ist schwieriger. Weil die Koeffizientenberechnung im kritischen Pfad des Paketempfangs liegt, ist eine schnelle Berechnung dieser Koeffizienten essenziell. Der Schwerpunkt der vorliegenden Arbeit liegt daher in der Koeffizientenberechnung.

Ein neuer Algorithmus basierend auf Displacement Structure Theory wurde entwickelt, und eine dazu passende Hardwarearchitektur wird vorgeschlagen. Die Architektur besteht aus einer linearen Kette von Prozessorelementen. Die Prozessorelemente selber enthalten vor allem CORDIC-Blöcke. Diese Architektur hat vorteilhafte Eigenschaften für VLSI Technologien, insbesondere ausschliesslich lokale Kommunikation, ein sehr regelmässiger Datenpfad, der aggressives Pipelining ermöglicht. Hohe Taktraten sind so möglich. Zur Berechnung der Vorwärtsfilterkoeffizienten eines für HIPERLAN geeigneten 12 Tap DFE (DFE der Ordnung 12) benötigt diese Architektur 221 Taktzyklen,  $1.4\text{mm}^2$  Siliziumfläche und  $1.5\mu\text{J}$  Energie pro Berechnung auf einem  $0.35\mu\text{m}$  Standardzellenprozess. Im Gegensatz dazu benötigt die in der Literatur vorgeschlagene sogenannte QR Faktorisierung für dasselbe Problem 576 Taktzyklen,  $30.90\text{mm}^2$  Fläche und  $68\mu\text{J}$  Energie pro Berechnung.

Ein schneller DSP ist für Systeme wie zum Beispiel die Kommunikation über Stromleitungen (Powerline Communication, PLC), welche grössere Paketempfangslatenzenzeiten tolerieren können, aber grössere Flexibilität benötigen, die geeignete Plattform. Um Echtzeit-Prototypen zu

ermöglichen, wurde ein schneller DSP-Kern entwickelt, der auf einem feldprogrammierbaren Logikbaustein (FPGA) implementiert werden kann. Der DSP-Kern arbeitet auf einem Xilinx Virtex XCV400-6 mit bis zu 80 MHz/80 MIPS und benötigt ungefähr 100k Gatteräquivalente. Der Datenpfad ist 16 Bit breit, und der Durchsatz beträgt eine Multiplikation/Akkumulation pro Taktzyklus. Der DSP-Kern übertrifft die Geschwindigkeit aller dem Autor bekannten konkurrierender kommerzieller FPGA-Prozessoren um mehr als 50%. Er kann die Vorwärtsfilterkoeffizienten eines 10 tap Entzerrers für reelle Werte in 9923 Taktzyklen berechnen. Eine dezidierte Hardwarearchitektur für dasselbe Problem benötigt 692 Taktzyklen und 24k Gatteräquivalente.