



Doctoral Thesis

CMOS VCSEL drivers for optical interchip communication

Author(s):

Annen, Richard

Publication Date:

2001

Permanent Link:

<https://doi.org/10.3929/ethz-a-004269822> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

DISS. ETH Nr. 14081

CMOS VCSEL Drivers for Optical Interchip Communication

A dissertation submitted to the

SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH

for the degree of
Doctor of Technical Sciences

presented by

Richard Annen
Dipl. El.Ing. ETH
born on April 20th, 1970
citizen of Lauenen, Switzerland

accepted on the recommendation of

Prof. Dr. H. Melchior, examiner
Prof. Dr. W. Bächtold, co-examiner

2001

Copyright © 2001 by Richard Annen, ETH Zurich, Institute of Quantum
Electronics, Micro- and Optoelectronics Laboratory

Abstract

State-of-the-art silicon semiconductor process technologies allow the fabrication of integrated circuits for low cost electronic systems with increasing speed performance and higher functional integration. To maintain the required inter-chip data communication in such electronic systems, the investigation of new interconnect technologies is essential. Tens of gigabits per second and square millimeter chip area data throughput will be required. Opto-electronics (OE) VLSI (very-large-scaled-integrated-circuit) offer promising technologies to realize dense two-dimensional I/O (input/output) arrays to meet these requirements. It is based on the hybridization of III/V semiconductor compound photonic devices with silicon CMOS electronics. One of the most promising OE-VLSI technologies for transmitters is the hybridization of VCSEL (vertical-cavity-surface-emitting- laser) arrays with silicon chips. Driver electronic circuits as an interface between VCSEL arrays and the VLSI are required. This thesis presents the design, fabrication, and characterization of driver arrays integrated on CMOS silicon chips.

Light emitters for two-dimensional, densely spaced I/O arrays with high data throughput must be low cost, high speed, and low power. Recent research on VCSEL technologies has produced devices able to meet these requirements by employing a small oxide aperture several micrometers in diameter for the optical and electrical confinement. Driving these VCSELs in a current on-off scheme is feasible up to modulation rates of 1 Gbit/s. To reach higher speeds, however, a current peaking driver scheme is necessary to overcome the impact of the series resistance, which is considerably larger compared to that of conventional VCSELs or edge-emitting lasers. This thesis presents a novel circuit concept to drive VCSELs by current peaking based on the superposition of several different drive currents. This concept allows easy integration of peaking circuits and, in addition, uses the same design strategy and transistor sizing rules as the current on-off driver. Both the strategy and sizing rules are developed in this thesis.

Two types of 4x8 driver array chips both having a 250 μm channel grid were realized in a 0.6 μm and a 0.25 μm CMOS process technology. The chip sizes are 3.6x2.5 mm² each. The 0.6 μm CMOS chips are based on on-off driving and operate at up to 1 Gbit/s per channel. And those fabricated in a 0.25 μm CMOS technology are based on peaking driving and operate at up to 2.5 Gbit/s per

channel. This corresponds to a total aggregated throughput of 16 Gbit/s and 40 Gbit/s per square millimeter. Corresponding VCSEL arrays are flip-chip mounted on one chip sample of each driver type. These chip assemblies are then packaged into transmitter test mounts for characterization. The results indicate that single channels run up to the target bit rates with low jitter and clearly open eyes. The available signal sources allowed also the demonstration of the simultaneous operation of 17 channels for the on-off transmitter and 9 channels for the peaking transmitter, respectively. The achieved performances are data throughputs of 17 x 900 Mbit/s (on-off driver) and 9 x 2.5 Gbit/s (peaking driver), respectively, each having good channel-to-channel uniformity and negligible channel cross talk. While the total power consumption, including the power dissipation of the VCSEL and driver, is as low as 18 mW per channel for the current on-off driver and only 16 mW for the peaking driver.

Zusammenfassung

Die Realisierung von integrierten Schaltungen (Chips) mit immer höherer Leistungsfähigkeit und immer dichterem funktionalen Integrität für elektronische Systeme wird aufgrund des stetigen Fortschrittes in Halbleitertechnologien möglich. Um in Zukunft den notwendigen Datenfluss zwischen IC's in solchen elektronischen Systemen bereitzustellen, ist die Entwicklung von neuen Technologien für Datenverbindungen wesentlich. Datendurchsatzraten von mehreren zehn Gigabit pro Sekunde pro Quadratmillimeter Chip-Fläche werden erforderlich sein. Opto-electronic (OE) VLSI (very-large-scaled-integrated-circuit) stellt vielversprechende Technologien zur Verfügung, um dichte, zweidimensionale I/O (input/output) Zellengruppen zu realisieren. Es ist das direkte Aufbringen von III/V Halbleiter Optochips auf den Silizium Chip mittels "flip-chip" Montage. Eine der vielversprechendsten OE-VLSI Technologie für die Realisierung eines Senders ist das Auflöten von einem VCSEL (vertical-cavity-surface-emitting-laser) Array Chip auf einen IC Chip. Dabei braucht es als Schnittstelle zwischen der VLSI Logik und dem VCSEL eine Treiberelektronik. Diese Arbeit konzentriert sich auf den Entwurf, die Realisierung und Charakterisierung von solcher Treiberelektronik in CMOS, welche zusammen mit VLSI Schaltungsblöcken auf einem Chip integriert werden kann.

Lasers für dichte, zweidimensionale I/O-Gruppen mit hoher Datenrate pro Kanal müssen kostengünstige, hochfrequenz-taugliche und leistungsverbrauchssarme Komponenten sein. Die jüngsten Entwicklungen von VCSELs mit kleiner Oxidapertur von wenigen Mikrometer Durchmesser haben solche Komponenten hervorgebracht. Bei der Ein/Aus Strommodulation von diesen VCSELs limitiert ihr Widerstand die erreichbare Datenrate typischerweise auf 1 Gbit/s. Um höhere Datenraten zu erreichen, wurde ein neues Schaltungskonzept für einen Stromtreiber mit Übersteuerung entwickelt. Es basiert auf der Überlagerung von mehreren Stromsignalen. Der Entwurf von einem Stromtreiber mit Übersteuerung ist ähnlich zu dem Entwurf eines normalen Ein/Aus Stromtreibers. Deshalb können dieselben Entwurfkonzepte und Regeln für die Transistordimensionierung, welche in dieser Arbeit hergeleitet wurden, angewandt werden.

Zwei 4x8 Treiberarraychips mit einem 250 μm Kanalraster wurden in einer 0.6 μm und 0.25 μm CMOS Technologie realisiert. Die Treiberchips in 0.6 μm CMOS basieren auf dem normalen Stromtreiberprinzip und erlauben eine Daten-

rate von 1 Gbit/s pro Kanal. Diejenigen in 0.25 μm CMOS basieren auf dem neuen Stromtreiberprinzip mit Übersteuerung und erlauben eine Datenrate von 2.5 Gbit/s pro Kanal. Dies entspricht den Datendurchsatzraten von 16 Gbit/s und 40 Gbit/s pro Quadratmillimeter. Experimentelle Tests an Sendermodulen, welche mit den realisierten Treiber-Chips und entsprechenden VCSEL-Chips aufgebaut wurden, zeigen, dass die implementierte Treiberelektronik bestens funktioniert. Die verfügbaren Signalquellen erlauben die Demonstration von Durchsatzraten bis zu 17 x 900 Mbit/s (Ein/Aus-Treiber) und 9 x 2.5 Gbit/s (Treiber mit Übersteuerung) mit einem Leistungsverbrauch von ungefähr 20 mW pro Kanal, mit einer guten Kanal-zu-Kanal Uniformität und vernachlässigbarem Kanalübersprechen.