



Doctoral Thesis

Theoretical and technological investigation of the gate structure of InP HEMTs for high-frequency and power applications

Author(s):

Robin, Franck

Publication Date:

2002

Permanent Link:

<https://doi.org/10.3929/ethz-a-004442467> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

DISS. ETH No. 14849

**THEORETICAL AND TECHNOLOGICAL
INVESTIGATION OF THE GATE
STRUCTURE OF INP HEMTs FOR HIGH-
FREQUENCY AND POWER APPLICATIONS**

A dissertation submitted to the
SWISS FEDERAL INSTITUTE OF TECHNOLOGY
ZURICH

for the degree of
DOCTOR OF TECHNICAL SCIENCES

presented by

FRANCK ROBIN

Dipl.-ing. INSA Lyon
born on March 30, 1973
French citizen

Prof. Dr. W. Bächtold, examiner
Prof. Dr. H. Jäckel, coexaminer

Zürich, 2002

Abstract

In this dissertation, technology developments are reported that enhance the performances of the Indium Phosphide-based high electron mobility transistor (HEMT) process of the Laboratory for Electromagnetic Fields and Microwave Electronics of the ETHZ. InP HEMTs are well-suited for high-frequency applications, thanks to their excellent intrinsic channel transport properties. This work focuses on the power and high-frequency performance improvement of the devices. The structure of the transistor gate contact is being investigated in detail, and new fabrication processes are proposed.

The maximum output power of InP HEMTs is limited by their low breakdown voltage. Indeed, the large impact-ionization rates in the InGaAs channel of the devices trigger an avalanche process that occurs already for low bias. This results in a low breakdown voltage. Carrier multiplication due to impact ionization takes place in the high electric-field region of the device, i.e., predominantly between gate and cap layer on the drain side of the gate. The proposed solution to alleviate impact ionization consists in the increase of the gate-to-cap layer distance on the drain side to reduce the peak electric field. Yet, the gate-to-cap layer distance on the source side must remain small to avoid a source-resistance increase and high-frequency performance degradation. Hence, an asymmetric gate recess must be fabricated.

The suitability of the asymmetric gate-recess technology to curb impact ionization and increase the breakdown voltage is confirmed with two-dimensional (2D) physical simulations of the devices. The physical models and parameters implemented in the simulation tool are validated by the joint investigation of a $p-i-n$ laser diode with Kelvin probe force microscopy and 2D simulations.

An asymmetric recess is obtained by patterning a stack of resist layers with electron-beam lithography (EBL). The scanning pattern required to fabricate a given resist profile involves a large number of interacting parameters. Therefore, to reduce the number of time-consuming trial-and-error

steps, an EBL simulation and optimization tool is developed. It is based on the careful modeling of the physical processes involved during resist exposure and development. A genetic algorithm is used to search the complex multi-dimensional optimization space. Control of process tolerances is embedded into the simulator to increase the accuracy of the predicted scanning patterns. Multiple exposures/multiple development processes are implemented in the simulation tool. The tool is then used for the prediction of scanning patterns for asymmetric gate-recess applications. Additionally, the EBL simulator is employed to optimize T-gates with 100 nm footprint.

Devices with asymmetric gate recess are fabricated with a double exposure process. Gate-to-cap layer distances of 20 nm and 320 nm are achieved on the source and drain sides of the gate, respectively. The asymmetric gate recess induces a pronounced kink visible in the device DC characteristics. However, impact ionization is reduced, and the breakdown voltage is increased by 50% when an asymmetric gate recess is used. The transistor cut-off frequency decreases by 30%, yet the maximum frequency of oscillation remains unchanged.

The improvement of the device high-frequency performance can be achieved by decreasing the transit time of the electrons below the gate. To this end, the gate length is reduced from 200 nm to 100 nm. The principal technology hurdle consists in uniformly etching the gate recess. An isopropyl-alcohol wetting is used prior to wet-chemical etching in succinic acid. The high-frequency performance is improved by 40% when a 100 nm gate length is used. The extrinsic cut-off frequency and the maximum frequency of oscillation reach 185 GHz and 300 GHz, respectively. State-of-the-art RF performance for 100-nm InP HEMTs is achieved.

Millimeter-wave integrated-circuit demonstrators are designed and fabricated with the new technologies. Class A power amplifiers at 32 GHz show that the asymmetric gate-recess technology is actually unsuited for power applications, due to non-linearities in the knee area of the device that induce a strong degradation of the gain in this region. On the other hand, single-stage power amplifier with $2 \times 125 \mu\text{m}$ devices and symmetric recess shows a maximum output power of 11.2 dBm and a power-added efficiency of 11.3%. To evaluate the performances of the devices with 100 nm T-gates, W-band amplifiers are designed at 94 GHz and 110 GHz. These amplifiers deliver 9.2 dB and 5 dB gain at 94 GHz and 110 GHz, respectively.

Zusammenfassung

Diese Dissertation stellt die Technologieweiterentwicklung zu Verbesserung des Indiumphosphid-basierten High Electron Mobility Transistor (HEMT) Prozesses des Instituts für Feldtheorie und Höchstfrequenztechnik an der ETH Zürich vor. Dank ihrer hervorragenden Transporteigenschaften sind InP HEMTs bestens für Hochfrequenzanwendungen geeignet. Diese Arbeit konzentriert sich auf die Verbesserung der Leistungs- und Hochfrequenzeigenschaften der Transistoren, insbesondere wird die Struktur des Gatekontaktes untersucht und neue Herstellungsprozesse vorgeschlagen.

Die maximale Ausgangsleistung von InP HEMTs ist durch ihre niedrige Durchbruchsspannung begrenzt. Die grossen Stossionisationskoeffizienten im InGaAs Kanal des Bauteils lösen einen Lawinenprozess aus, welcher schon bei kleinen Vorspannungen auftritt und deshalb in einer geringen Durchbruchsspannung resultiert. Trägermultiplikation durch Stossionisation findet hauptsächlich auf der Drain-Seite des Gates, zwischen Gate und Cap-Schicht statt, da in diesem Bereich die Feldstärke am höchsten ist. Die vorgeschlagene Lösung zur Verringerung der Stossionisation besteht in der Vergrößerung des Abstandes vom Gate zum Cap-Schicht auf der Seite des Drains um dort die elektrische Feldstärke zu reduzieren. Gleichzeitig soll die Distanz vom Gate zur Cap-Schicht auf Source-Seite klein bleiben um eine Erhöhung des Source-Widerstandes und somit eine Verschlechterung der Hochfrequenzeigenschaften zu vermeiden. Deshalb wäre es wünschenswert ein asymmetrischer Gate-Rezess herzustellen zu können.

Die Eignung der asymmetrischen Gate Rezess Technologie zur Reduzierung der Stossionisation wird durch zweidimensionale (2D) physikalische Simulation des Bauteils bestätigt. Die physikalischen Modelle und die im Simulationswerkzeug verwendeten Parameter werden durch die Untersuchung einer $p-i-n$ Laserdiode mit "Kelvin probe force" Mikroskopie und 2D Simulationen validiert.

Ein asymmetrischer Gate Rezess wird durch Belichtung einer Schichtung

von Lacken durch Elektronenstrahlolithographie (EBL) erhalten. Das nötige Belichtungsmuster zur Herstellung eines gegebenen Lackprofils beinhaltet eine grosse Vielzahl von Parametern. Um die Zahl der zeitaufwendigen trial-and-error Schritte zu reduzieren wurde ein EBL Simulations- und Optimierungswerkzeug entwickelt. Es basiert auf der sorgfältigen Modellierung des stattfindenden physikalischen Prozesses während der Belichtung und Entwicklung des Lacks. Zur Suche im komplexen multidimensionalen Optimierungsraum wird ein genetischer Algorithmus benutzt. Die Kontrolle der Prozesstoleranzen ist in den Simulator eingebaut um die Genauigkeit der vorhergesagten Belichtungsmuster zu erhöhen. Im Simulationswerkzeug, welches für die Vorhersage der Belichtungsmuster für asymmetrische Gate-Rezesse benutzt wird, sind Mehrfachbelichtungs-/ Mehrfachentwicklungsprozesse implementiert. Darüberhinaus wird der EBL Simulator eingesetzt um T-Gates mit 100 nm Länge zu optimieren.

Bauteile mit asymmetrischem Gate-Rezess wurden mit einem Zweifachbelichtungsprozess hergestellt. Gate zu Cap-Schicht Distanzen von 20 nm auf der Source-Seite bzw. 320 nm auf der Drain-Seite wurden erreicht. Der asymmetrische Gate Rezess ruft einen ausgeprägten Knick in der DC-Charakteristik des Bauteils hervor. Bei der Verwendung des asymmetrischen Gate Rezesses, wird dennoch die Stossionisation reduziert und deshalb verbessert sich die Durchbruchspannung des Bauteils um 50%. Die Transistfrequenz verringert sich um 30%, während die maximal mögliche Schwingfrequenz unverändert bleibt.

Die Verbesserung der Hochfrequenzeigenschaften des Bauteils kann durch eine Verringerung der Transitzeit der Elektronen unter dem Gate erreicht werden. Dazu wird die Gatelänge von 200 nm auf 100 nm reduziert. Die Schwierigkeit dabei besteht im gleichmässigen Ätzen des Gate Rezesses. Vor dem chemischen Nassätzen in Bernsteinsäure wird eine Benetzung mit Isopropylalkohol benutzt. Die Hochfrequenzeigenschaft wird bei der Verwendung von 100 nm Gates um 40% verbessert. Die extrinsische Transistfrequenz und maximal mögliche Schwingfrequenz erreichen 185 GHz bzw. 300 GHz.

Mit der neuen Technologie wurden zur Demonstration integrierte Millimeterwellenschaltungen entworfen. Klasse A Leistungsverstärker bei 32 GHz zeigen, dass die asymmetrische Gate Rezess Technologie ungeeignet für Leistungsanwendungen ist, da die Nichtlinearität in der Knieregion des Bauteils eine starke Herabsetzung der Verstärkung in diesem Bereich hervorruft. Dagegen zeigt ein einstufiger Leistungsverstärker mit $2 \times 125 \mu\text{m}$ Transistoren mit symmetrischem Gate Rezess eine maximale Ausgangsleistung von 11.2 dBm und einen Gesamtwirkungsgrad von 11.3%. Um die Leistungsfähigkeit der Bauelemente mit 100 nm T-Gates zu untersuchen, wurden W-Band Verstärker bei 94 GHz und 110 GHz entworfen. Diese Verstärker zeigen eine Verstärkung von 9.2 dB und 5 dB bei 94 GHz, bzw. 110 GHz.