



Doctoral Thesis

## System-level timing analysis and scheduling for embedded packet processors

**Author(s):**

Chakraborty, Samarjit

**Publication Date:**

2003

**Permanent Link:**

<https://doi.org/10.3929/ethz-a-004613044> →

**Rights / License:**

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

Diss. ETH No. 15093

# **System-Level Timing Analysis and Scheduling for Embedded Packet Processors**

A dissertation submitted to the  
SWISS FEDERAL INSTITUTE OF TECHNOLOGY  
ZURICH

for the degree of  
Doctor of Sciences

presented by  
**SAMARJIT CHAKRABORTY**  
M.Tech. Computer Science & Engg.,  
Indian Institute of Technology Kanpur, India  
born December 25, 1972  
citizen of India

accepted on the recommendation of  
Prof. Dr. Lothar Thiele, examiner  
Prof. Dr. Rolf Ernst, co-examiner

2003

Examination date: April 14, 2003

# Abstract

Packet processors are high-performance, programmable devices with special architectural features that are optimized for network packet processing. They are mostly embedded within network routers and switches and are designed to implement complex packet processing tasks at high line speeds.

In this thesis we study several issues related to system-level timing analysis and scheduling for such embedded packet processors. Our work is motivated by the fact that designing and analysing the hardware-software architectures for packet processors require new models and methods which do not fall within the preview of traditionally studied embedded systems.

Both, timing analysis and scheduling have been widely studied in the context of system-level design of embedded systems. But most of these studies have either focussed on purely data-dominated applications like digital signal and image processing, or on purely control-dominated applications such as those found in automobile control systems or in appliances like washing machines and microwave ovens. Packet-processing applications, on the other hand, combine features from both these domains and additionally have several new characteristics and requirements. Their design also requires an integration of concepts from several areas, such as embedded systems, computer architecture and networking. As a result, the design and analysis of packet processors are not sufficiently supported by current high-level design methodologies and tools targeted towards embedded-systems design. This thesis partially fills this gap by proposing new models and algorithms specifically directed towards designing network packet processors, and makes the following main contributions.

- Packet processors typically consist of a collection of heterogeneous processing elements, which are required to process multiple packet flows at line speed. We pose the problem of determining the feasibility of a mapping of the different packet-processing tasks onto the different processing elements, as a schedulability analysis problem. It turns out that for the task model we consider, this schedulability analysis problem is intractable (NP-hard) and therefore can not be solved within any reasonable time. To get around this, we introduce a novel concept called “approximate schedulability analysis”, using which the problem can be solved in polynomial time if a small error in the decisions made by the algorithm is allowed. Using this concept, we demonstrate that in spite of the intractability result, a schedulability analysis can nevertheless be done in reasonable time for all practical purposes. We also show that this concept is not

only restricted to our particular model in the context of packet processing, but is applicable to a wide variety of other real-time task models for which only exponential or pseudo-polynomial time algorithms were known till now.

- We study an analytical framework for system-level timing analysis for packet processors, which generalizes many scheduling-theoretic results from the real-time systems area, and also matches results that could previously be obtained only using detailed cycle-accurate simulations. Based on this, we propose a new methodology for the design space exploration of packet-processing architectures, to tackle the large design space involved. It relies on conducting the exploration in several stages, each at a different level of abstraction, and using a different performance evaluation scheme in each stage.
- Traffic management is one of the main functions of any packet processor, especially in the case of routers, where the goal is to meet the real-time constraints of QoS-sensitive flows and at the same time provide a reasonable service to best-effort packets. In this context, we propose a novel scheduler which gives theoretical guarantees on the service that can be provided to best-effort flows. The theoretical framework behind this scheduler generalizes a number of service schemes developed in the real-time systems area for integrating soft-real-time jobs into a hard-real-time environment. Further, our experimental results suggest clear improvements in the service received by best-effort flows, compared to previously known schemes.

The above problems are concerned with three very general issues related to scheduling and timing analysis, which arise in many different real-time embedded-system scenarios. Given a set of jobs with a set of constraints on these jobs, and a goal (such as deadlines) to be met, the first problem asks “*does there exist an execution order or schedule for the jobs which satisfies the constraints and meets the specified goal?*” The second problem is concerned with answering “*given a schedule or an execution order for the jobs, what timing properties do the jobs satisfy if they are executed according to this schedule?*” Finally, the third problem is concerned with “*finding a schedule for the jobs which satisfies the constraints and meets the goal*”. The results corresponding to these problems that are presented in this thesis, either extend or generalize previously known results from the real-time systems area and also integrate concepts from scheduling theory, system-level design, and computer networks.

# Kurzfassung

Paketprozessoren sind programmierbare Hochleistungsbausteine mit speziellen Architekturmerkmalen; sie sind für Paketverarbeitung in Datennetzen optimiert und meistens in Netzwerkrouter und -switches eingebettet. Paketprozessoren werden für die verzögerungsfreie Implementierung komplexer Paketverarbeitungsaufgaben entworfen.

In dieser Dissertation werden verschiedene Aspekte der Timing-Analyse und des Scheduling für solche eingebetteten Paketprozessoren auf Systemebene untersucht. Die Arbeit ist motiviert durch die Tatsache, dass der Entwurf und die Analyse der Hardware/Software-Architektur für Paketprozessoren neue Methoden und Modelle erfordert, welche nicht Teil des traditionellen Entwurfs eingebetteter Systeme sind.

Sowohl Timing-Analyse als auch Scheduling sind im Kontext des Entwurfs von eingebetteten Systemen auf Systemebene umfassend untersucht worden. Die meisten dieser Untersuchungen konzentrierten sich auf die zwei folgenden Hauptanwendungsgebiete: Datenanwendungen wie z.B. digitale Signal- und Bildverarbeitung, und Kontrollanwendungen welche man vor allem in Automobilen, Waschmaschinen und Mikrowellengeräten antrifft. Anwendungen für die Paketverarbeitung kombinieren Merkmale obiger Anwendungsgebiete und stellen darüberhinaus zusätzliche Anforderungen. Der Entwurf solcher Verarbeitungssysteme erfordert eine Verbindung von Konzepten aus verschiedenen Gebieten, wie dem der eingebetteten Systeme, Computerarchitektur und Netzwerke. Heutige Entwurfsmethoden für eingebettete Systeme unterstützen den Entwurf und die Analyse von Paketprozessoren nur mangelhaft. Die Hauptbeiträge dieser Dissertation sind massgeschneiderte Modelle und Algorithmen für Paketprozessoren, welche wie folgt zusammengefasst werden können :

- Paketprozessoren bestehen typischerweise aus einer Ansammlung von heterogenen Verarbeitungselementen welche verzögerungsfrei Paketdatenflüsse verarbeiten müssen. Wir behandeln dabei das Problem, die Machbarkeit einer Zuordnung der verschiedenen Paketverarbeitungsaufgaben zu den verschiedenen Verarbeitungselementen zu ermitteln, gleich wie das Problem, die Existenz einer Ablaufplanung (Schedulability) zu zeigen. Es stellt sich heraus, dass dieses Problem für das von uns betrachtete Modell NP-hart ist, und daher nicht in vernünftiger Zeit gelöst werden kann. Um dieses Problem zu umgehen, führen wir ein neues Konzept namens "approximative Schedulability-Analyse" ein, mit welchem das Problem in polynomieller Zeit gelöst werden kann, sofern ein kleiner Fehler in den vom Algorithmus getroffenen Entscheidungen erlaubt

wird. Unter Zuhilfenahme dieses Konzepts zeigen wir, dass eine Schedulability-Analyse für alle praktischen Zwecke in vernünftiger Zeit gemacht werden kann, obwohl das Problem NP-hart ist. Wir zeigen auch, dass dieses Konzept nicht auf unser besonderes Modell im Kontext der Paketverarbeitung beschränkt ist, sondern auf eine Vielzahl anderer Echtzeit-Taskmodelle angewendet werden kann, für die bislang nur Algorithmen mit exponentieller oder pseudo-polynomieller Laufzeit bekannt waren.

- Wir untersuchen ein analytisches Framework für die Timing-Analyse von Paketprozessoren auf Systemebene, welches viele Resultate aus der Ablaufplanungstheorie im Bereich der Echtzeitsysteme verallgemeinert; darüber hinaus stimmt es mit Ergebnissen überein, die zuvor nur mit detaillierten, zyklengenauen Simulationen erzielt werden konnten. Basierend hierauf schlagen wir eine neue Methodik für die Exploration des Entwurfsraums von Paketprozessoren vor, mit der der grosse Entwurfsraum in Angriff genommen werden kann. Diese Methodik basiert auf der stufenweisen Durchführung der Exploration, wobei auf jeder Stufe ein verschiedener Abstraktionsgrad und ein anderes Leistungsevaluationsschema zur Anwendung kommt.
- Die Abwicklung von Netzwerkverkehr ist eine der Hauptfunktionen jedes Paketprozessors, besonders im Fall von Routern, bei denen das Ziel in der Erfüllung der Echtzeitvorgaben QoS-empfindlicher Datenflüsse und der gleichzeitigen, vernünftigen Abarbeitung von Best-Effort-Paketen besteht. In diesem Zusammenhang schlagen wir einen neuen Scheduler vor, welcher theoretische Garantien auf die für Best-Effort-Datenflüsse zur Verfügung stehende Leistung gibt. Das theoretische Framework hinter diesem Scheduler verallgemeinert eine Reihe von Service-Schemata, die im Bereich der Echtzeitsysteme für die Integration von Soft-Real-Time-Jobs in eine Hard-Real-Time-Umgebung entwickelt wurden. Unsere experimentellen Ergebnisse zeigen deutliche Verbesserungen gegenüber zuvor bekannten Schemata auf.

Die obigen Fragestellungen behandeln drei sehr allgemeine Themen im Zusammenhang mit Scheduling und Timing-Analyse, welche in vielen verschiedenen Echtzeitszenarien mit eingebetteten Systemen auftauchen. Gegeben eine Menge von Jobs mit einer Menge von Einschränkungen sowie ein zu erreichendes Ziel (etwa Deadlines). Die erste Frage lautet: *“Gibt es eine Ausführungsreihenfolge für die Jobs, welche die Einschränkungen erfüllt und das gesetzte Ziel erreicht?”* Die zweite Frage lautet *“Gegeben eine Ausführungsreihenfolge für die Jobs, welche Timing-Eigenschaften erfüllen die Jobs bei Ausführung gemäss der vorgegebenen Reihenfolge?”* Die letzte Frage beschäftigt sich mit dem *“Finden einer Ausführungsreihenfolge für die Jobs, welche die Einschränkungen erfüllt und das gesetzte Ziel erreicht”*. Die Antworten auf diese Fragestellungen, die wir in dieser Dissertation herleiten, erweitern oder verallgemeinern zuvor gefundene Ergebnisse aus dem Bereich der Echtzeitsysteme, und integrieren Konzepte der Zeitplanungstheorie, des Entwurfs auf Systemebene, und der Datennetze.