

Folding and interpolating A/D converters for communications applications

Doctoral Thesis

Author(s):

Hertle, Fritz Jürgen

Publication date:

2004

Permanent link:

<https://doi.org/10.3929/ethz-a-004779199>

Rights / license:

[In Copyright - Non-Commercial Use Permitted](#)

Diss. ETH No. 15605

Folding and Interpolating A/D Converters for Communications Applications

A dissertation submitted to the
SWISS FEDERAL INSTITUTE OF TECHNOLOGY
ZURICH

for the degree of
Doctor of Technical Sciences

presented by

FRITZ JÜRGEN HERTLE

Dipl.-Ing. Univ.

Friedrich-Alexander Universität Erlangen

born September 14, 1968

citizen of Germany

accepted on the recommendation of

Prof. Dr. Qiuting Huang, examiner

Prof. Dr. Hans-Andrea Loeliger, co-examiner

2004

Abstract

In this thesis problems related to the design of A/D converters for communications applications are examined. The focus is on systems which require high data rates at medium accuracy. Since these converters are extensively used in consumer products, low cost is of major importance, and hence they must be integrated in a mainstream digital CMOS technology.

A discussion of the pros and cons of the newly available sub-micron CMOS technologies and their impact on the design of high speed, medium resolution A/D converters reveals that the main challenge is to achieve high accuracy rather than high speed.

In order to optimize the existing architectures in terms of accuracy a detailed understanding of the quantization process, which is the fundamental operation of all A/D converters, is needed. A comprehensive discussion on that issue is conducted.

Equivalently important is the selection of an appropriate A/D converter architecture for the target application. Based on the foreseeable limitations of future technology generations with ever decreasing feature sizes, it is shown that the folding and interpolating architecture is a promising candidate for future A/D converters. Their key advantage is that they neither use high gain blocks nor any switches are needed in the signal path (except in the sample-and-hold circuit).

Next, a detailed discussion of the building blocks of folding and interpolating A/D converters is presented. It includes a principal description of the architecture, speed related issues, noise considerations, and also the accuracy limiting effects are identified and their impact on the overall converter accuracy will be given.

The first described design is an 8 Bit, 50 MS/s folding and inter-

polating A/D converter implemented in a 0.25 μm CMOS technology with a maximum supply voltage of 2.5 V. To minimize the power consumption an optimized architecture with four parallel folding signals, a folding factor of eight, and eight times interpolation is used. The measured SNDR is 42 dB and the SFDR is 50 dB up to the Nyquist frequency. The power consumption is only 50 mW and the chip area is 2.4 mm².

The second design addresses the limited accuracy of the folding and interpolating architecture. A calibration scheme tailored to this type of converter is developed and the related problems are discussed. A 10 Bit, 125 MS/s converter was implemented in a 0.18 μm CMOS technology with a maximum supply voltage of 1.8 V. Due to some minor design and layout problems the accuracy of the converter is limited to 50.8 dB. The power consumption is 126 mW (without I/O drivers) and the chip area is 4.1 mm².

Zusammenfassung

In dieser Dissertation werden Probleme die beim Entwurf von Analog-Digital(A/D)-Wandlern für Kommunikationsanwendungen auftreten untersucht. Das Hauptaugenmerk liegt bei Systemen die hohe Umsetzraten bei mittlerer Genauigkeit erfordern. Da diese Wandler sehr häufig in Produkten für den Massenmarkt eingesetzt werden sind niedrige Kosten von höchster Wichtigkeit, und daher müssen sie in einer leicht zugänglichen digitalen CMOS Technologie integriert werden.

Eine Betrachtung der Vor- und Nachteile der neuerdings verfügbaren CMOS Technologien mit Kanallängen im Sub-Mikrometerbereich und ihr Einfluss auf das Design von schnellen A/D Wandlern mit mittlerer Genauigkeit zeigt auf, dass die Hauptherausforderung darin besteht hohe Genauigkeit zu erzielen, im Gegensatz zu hoher Umsetzgeschwindigkeit.

Um die bereits bestehenden Architekturen hinsichtlich Genauigkeit zu optimieren ist ein tiefgehendes Verständnis des Quantisierungsprozesses nötig, der die grundlegende Funktion aller A/D Wandler ist. Eine umfangreiche Diskussion der dabei auftretenden Zusammenhänge wird durchgeführt.

Der zweite wichtige Schritt besteht in der Auswahl einer geeigneten Wandler Architektur für die Zielanwendung. Basierend auf den vorhersehbaren Limitierungen von zukünftigen Technologiegenerationen mit stetig kleiner werdenden Dimensionen wird gezeigt, dass die *folding und interpolating* Architektur ein vielversprechender Kandidat für zukünftige A/D Wandler ist. Ihr Hauptvorteil ist, dass sie weder Blöcke mit hoher Verstärkung verwendet, noch werden Schalter im Signalpfad benötigt (ausser im Abtast-Halte Glied).

Im folgenden wird eine detaillierte Beschreibung der Baublöcke

von *folding und interpolating* A/D Wandlern präsentiert. Sie umfasst eine generelle Beschreibung der Architektur, eine Abhandlung über Limitierungen bezüglich der Umsetzrate, Rauschbetrachtungen und die Identifizierung der genauigkeitslimitierenden Effekte und ihren Einfluss auf die Genauigkeit des ganzen Wandlers.

Das erste vorgestellte Design beschreibt einen 8 Bit, 50 MS/s *folding und interpolating* Wandler, der in einer 0.25 μm CMOS Technologie mit einer maximal zulässigen Versorgungsspannung von 2.5 V integriert wurde. Um den Stromverbrauch zu minimieren wurde eine optimierte Architektur mit vier parallelen *folding*-Signalen, mit einem *folding*-Faktor von acht und mit achtfacher Interpolation verwendet. Das gemessene Verhältnis zwischen Signalleistung zu Rausch- und Störungsleistung (SNDR) beträgt 42 dB und der störungsfreie Dynamikbereich (SFDR) ist 50 dB, beides gültig bis zur Nyquist Frequenz.

Im zweiten Design wird das Problem der geringen Genauigkeit der *folding und interpolating* Architektur angegangen. Ein speziell auf diesen Wandlertyp zugeschnittene Kalibrationsstruktur wird hergeleitet und die vorhandenen Probleme werden diskutiert. Ein 10 Bit, 125 MS/s Wandler wurde in einer 0.18 μm CMOS Technologie mit einer maximal zulässigen Versorgungsspannung von 1.8 V integriert. Aufgrund einiger kleiner Design und Layout Probleme ist die Genauigkeit des Wandlers auf 50.8 dB limitiert. Der Leistungsverbrauch der Schaltung ist 126 mW (ohne die Ausgangstreiber) und die Chipfläche beträgt 4.1 mm^2 .