

Low-power circuit architectures and clocking strategies for digital hearing aids

Doctoral Thesis

Author(s):

Bürgin, Felix

Publication date:

2008

Permanent link:

<https://doi.org/10.3929/ethz-a-005658402>

Rights / license:

[In Copyright - Non-Commercial Use Permitted](#)

Diss. ETH No. 17716

Low-Power Circuit Architectures and Clocking Strategies for Digital Hearing Aids

A dissertation submitted to

ETH ZURICH

for the degree of
Doctor of Sciences

presented by

FELIX BÜRGIN

Dipl. El.-Ing. ETH

born 24 October 1976

citizen of Liestal BL and Buus BL

accepted on the recommendation of

Prof. Dr. Wolfgang Fichtner, examiner

Dr. Paul Zbinden, co-examiner

2008

Abstract

Battery-powered portable applications demand for extremely low power consumption in order to ensure reasonable battery life and autonomy. Moreover, they ask for small silicon area because of cost and often also space limitations. Hearing aids, in particular, require extremely tight constraints on power dissipation *and* chip area to render these instruments as small as possible.

Driven by Moore's Law, transistor dimensions in modern semiconductors are progressively shrinking. New VLSI technologies decrease the dynamic power consumption of digital integrated circuits mainly thanks to the reduced supply voltage. On the other hand, smaller device sizes allow the integration of more functionality on the same silicon area, hence again increasing the total power consumption.

This thesis aims at evaluating different low-power VLSI circuit design techniques that are especially suited for low-frequency audio applications, such as hearing aids. Thereby, several circuit architectures are compared for different levels of resource sharing, number formats, and clocking strategies in established VLSI technologies (minimum transistor lengths of $0.25\ \mu\text{m}$ and $0.18\ \mu\text{m}$). Additionally, cell redesign for reduced gate capacitance and hence lower dynamic power consumption is investigated. All these techniques have been verified by simulations and measurements of several state-of-the-art hearing aid signal processing algorithms that have been implemented and integrated on silicon.

Zusammenfassung

Batteriebetriebene portable Anwendungen verlangen einen extrem tiefen Energieverbrauch, um eine vernünftige Batterielebensdauer und Autonomie zu gewährleisten. Zudem erfordern sie eine kleine Siliziumfläche aufgrund von Kosten- und oft auch Grössenbeschränkungen. Hörgeräte im speziellen sind eine Anwendung, welche strenge Anforderungen an den Energieverbrauch *sowie* an die Siliziumfläche stellt, um diese Instrumente so klein als möglich zu halten.

Getrieben durch Moores Gesetz werden Transistordimensionen in modernen Halbleitern schrittweise kleiner. Neue VLSI-Technologien reduzieren den dynamische Energieverbrauch von digitalen integrierten Schaltkreisen hauptsächlich dank der herabgesetzten Versorgungsspannung. Andererseits erlauben kleinere Bauelemente die Integration von mehr Funktionalität auf der selben Chipfläche, was den totalen Energieverbrauch folglich wiederum erhöht.

Diese Arbeit beabsichtigt die Beurteilung verschiedener Entwurfstechniken für hochintegrierte Schaltkreise betreffend tiefem Energieverbrauch. Diese Techniken sind speziell für Audio-Anwendungen mit tiefer Taktrate wie Hörgeräte geeignet. Mehrere Schaltungsarchitekturen für verschiedene Grade von Ressourcenteilung, Zahlenformate und Taktgebungsverfahren werden in etablierten Halbleitertechnologien (minimale Transistorlänge von $0.25\ \mu\text{m}$ und $0.18\ \mu\text{m}$) miteinander verglichen. Zudem wird das Redesign von Standardzellen, um Transistor-Gatekapazitäten und folglich den dynamischen Energieverbrauch zu reduzieren, untersucht. All diese Techniken sind mithilfe von Simulationen und Messungen an mehreren implementierten und in Silizium integrierten aktuellen Hörgeräatalgorithmen verifiziert worden.