

DISS. ETH Nr. 19636

**Clock and Data Recovery Circuit and Clock Synthesizers  
for 40 Gb/s High-Density Serial I/O-Links in 90-nm CMOS**

ABHANDLUNG  
zur Erlangung des Titels

DOKTOR DER WISSENSCHAFTEN

der

ETH ZÜRICH

vorgelegt von

GEORG PAUL EMIL VON BUEREN

Dipl. El. Ing. ETH, ETH Zürich

geboren am 12. April 1974

von Zürich und Ennetmoos NW

Angenommen auf Antrag von

Prof. Dr. Heinz Jäckel  
Prof. Dr. Yusuf Leblebici  
Dr. Thomas Toifl

2011

## ABSTRACT

The aggregate data communication bandwidth of key components in telecommunication equipment and computer servers has experienced a continuous increase. According to the forecast of the International Roadmap for Semiconductor (ITRS) the throughput data rate of chip-to-chip interconnects in servers and routers exceeded 2.8 Tb/s in 2010.

Complementary metal oxide semiconductor (CMOS) technology is today's mainstream IC technology for digital circuits such as microprocessors, memory chips and application-specific integrated circuits (ASIC). It is the technology of choice because only VLSI CMOS processes are capable of integrating millions of transistors on a single die to achieve complex electronic functions at the lowest price and acceptable power consumption. Due to the fact that the input/output (I/O) function has to be integrated on the same die as the digital circuits, the I/O circuits have to be developed in CMOS technology as well.

Traditionally, serial data communication is applied in local area networks (e.g. Ethernet), wide area networks (e.g. SONET/SDH) and long-haul optical networks whereas the interconnections between central processing units (CPU), memory chips, storage devices and peripheral components in PCs, servers and routers have been realized with parallel bus architectures. With the increase of the data rate the traditional parallel bus architectures have been replaced by multi-channel point-to-point serial links. These multi-channel point-to-point serial links adapt serial I/O clocking schemes such as sampling clock alignment and per pin deskew to scale I/O rates beyond a few Gb/s.

The industry focuses on target data rates of up to 12.5 Gb/s for high-density serial I/O-links. This is also the comfortable operating region of today's sub-micron VLSI CMOS technologies with respect to speed, robustness, yield, area and power consumption. Furthermore board, packaging, VCSEL (vertical cavity surface emitting laser) and photo diode technology providers offer off-the-shelf products in this data rate domain. As the number of I/O pins of a chip is limited due to mechanical constraints the ability to handle serial data rates up to 40 Gb/s will be essential in future telecommunications and data communications market scenarios.

One of the critical and speed-limiting circuit blocks in a serial I/O transceiver is the clock and data recovery (CDR) circuit in the receiver. Its task is to detect the edge transitions in the input data, to extract the clock of the incoming data stream, to compare if the sampling clock is leading or lagging and to adjust the sampling clock in order to resynchronize the data bits correctly. Of importance is also the purity of the multiplied reference clock since it determines the jitter at the transmitter output as well as the jitter of the sampling clock.

The focus of this work is the analysis and subsequent design of a clock and data recovery circuit and clock synthesizers for high-density plesiochronous chip-to-chip serial I/O links for input data rates up to 40 Gb/s in 90-nm CMOS. Targeted for high-density chip-to-chip serial I/O links, the CDR circuit, in the frame of a complete receiver prototype, should occupy minimum chip area, operate from a limited voltage supply, typically around 1 V and consume minimal DC power ( $< 250$  mW) to provide the option for parallel implementation of more than ten transceivers to build a link with an aggregate data rate of  $> 400$  Gb/s. Moreover, it is not permissible to implement each CDR circuit with its own oscillator-based phase-locked loop (PLL) because substrate coupling would cause unpredictable injection locking across the several oscillators. Therefore, the CDR circuit presented in this work uses a phase rotator that aligns the phase of its sampling clock to the input data. In multi-channel serial I/O links, all  $L$  ( $\sim 10$ ) CDRs on the same chip will have the same clock signal as an input signal for phase rotator. Thus, the overall power budget of multi-channel serial I/O links can be improved by sharing the clock multiplier unit (CMU), which is synthesizing the reference clock signal for the phase rotator, among  $L$  ( $\sim 10$ ) transceivers.

In this work three integrated circuits are investigated and the results presented:

- 1) A quarter-rate 40 Gb/s CDR with a 10-GHz reference clock for the phase rotator
- 2) A 10-GHz ring oscillator-based multiply by sixteen PLL
- 3) A 40-GHz  $LC$  oscillator-based multiply by 64 PLL

These ICs have been designed at the IBM Zurich Research Laboratory in Rüschlikon, Switzerland, and at the Electronics Laboratory of the Swiss Federal Institute of Technology (ETH) Zurich, Switzerland. The CMOS circuits have been fabricated with the IBM's bulk CU-08 CMOS 9SF process with a nominal gate length of 80 nm, which is a technology that is optimized for digital rather than for analog circuits.

## ZUSAMMENFASSUNG

Die Datenkommunikationsbandbreite der Schlüsselkomponenten in Telekommunikationsanlagen und Serverfarmen nimmt kontinuierlich zu. Gemäss der International Roadmap for Semiconductor (ITRS) soll im Jahre 2010 die Datenrate zwischen Chips in Servern und Routern die Marke von 2.8 Tb/s übertroffen worden sein.

Heutzutage ist die CMOS Prozesstechnologie die etablierte IC-Technologie für die Herstellung von Mikroprozessoren, Speicherchips und anwendungsspezifischen integrierten Schaltungen (ASIC). Die CMOS Prozesstechnologie ist die Technologie erster Wahl für integrierte Schaltungen, weil nur CMOS Prozesse es ermöglichen, Millionen von Transistoren auf einem einzigen Chip zu integrieren, um komplexe elektronische Funktionen zu realisieren. Da sich die Ein- und Ausgangsbausteine auf demselben Chip befinden wie die digitalen Schaltungen, müssen die Ein- und Ausgangsbausteine auch in CMOS entwickelt werden.

Traditionell wird die serielle Datenkommunikation in Weitverkehrsnetzen (WAN) und lokalen Netzen (LAN) angewendet, während die Verbindungen zwischen Zentralrechnern (CPU), Speicherchips und peripheren Geräten in Personalcomputern, Servern und Routern mit parallelen Busarchitekturen realisiert werden. Mit der Zunahme der Datenrate sind die traditionellen parallelen Busarchitekturen mit seriellen Mehrfachverbindungen ersetzt worden. Diese seriellen Punkt zu Punkt Mehrfachverbindungen wenden Schaltungstechniken an, welche in der seriellen Datenübertragung benutzt werden, um eine Datenrate von mehreren Gb/s zu erzielen.

Momentan zielt die Industrie auf Datenraten von bis zu 12.5 Gb/s für hochintegrierte serielle I/O Verbindungen. Diese Datenrate ist auch der ideale Operationsbereich für die heutigen CMOS Prozesse. Im weiteren gibt es für diesen Datenraten-Bereich industrieprobte Standardprodukte für Package, Leiterplatten, VCSELs und Photodioden. Da die Anzahl von Ein-/Ausgangspins limitiert ist, wird es wichtig sein, in Zukunft eine Datenrate von bis zu 40 Gb/s zu erreichen.

Ein wichtiger und zeitkritischer Schaltungsblock ist die Taktrückgewinnungsschaltung (CDR) im Empfänger. Das Ziel der CDR Schaltung ist aus den 0-1 und 1-0 Datenübergängen in den Eingangsdaten den Takt der einkommenden Daten zu bestimmen (clock recovery) und mit dem rückgewonnenen Takt die Daten korrekt einzulesen (data recovery). Von grosser Bedeutung ist auch die Präzision des multiplizierten Referenztaktes, da dessen Jitter den Jitter des Senderausgangssignals wie auch den Jitter des Abtasttakts im Empfänger bestimmt.

Den Schwerpunkt dieser Arbeit bilden die Analyse und den darauffolgenden Entwurf von einer Takt- und Datenrückgewinnungsschaltung (clock and data recovery) und von zwei Takterzeugern (clock synthesizers). Alle drei Schaltungen sind für hochintegrierte plesiochrone serielle Interchipverbindungen entworfen worden, welche eine serielle Datenrate von bis zu 40 Gb/s erreichen sollen. Die CDR Schaltung soll möglichst wenig Chipfläche belegen und einen möglichst geringen Stromverbrauch aufweisen ( $< 250$  mW), damit mehr als 10 CDR Schaltungen gleichzeitig instanziiert werden können um eine Verbindung von mehr als 400 Gb/s zu erreichen. Im weiteren ist es nicht zulässig, dass jede CDR Schaltung aus einem eigenen PLL (phase-locked loop) besteht, da es sein kann, dass sich die verschiedenen Oszillatoren gegenseitig beeinflussen. Daher benutzt die CDR Schaltung, welche in dieser Arbeit vorgestellt wird, einen Phasenrotator, welcher das Abtast-Taktsignal gegenüber dem Eingangssdatensignal angleicht. Wenn sich mehrere CDR Schaltungen auf einem Chip befinden, erhalten alle Phasenrotatoren dasselbe Taktsignal als Eingangssignal. Wenn alle Phasenrotatoren ihr Eingangs-Taktsignal von einem gemeinsamen Takterzeuger (PLL) beziehen, kann der Gesamtstromverbrauch wie auch der Flächenbedarf des Chips verringert werden.

In dieser Arbeit werden drei integrierte Schaltungen untersucht und deren Resultate vorgestellt:

- 1) Ein 40 Gb/s CDR mit einem 10-GHz Referenztakt für den Phasenrotator
- 2) Ein 10-GHz 16x-Taktvervielfacher basierend auf einem Ringoszillator
- 3) Ein 40-GHz 64x-Taktvervielfacher basierend auf einem *LC* Oszillator

Diese integrierten Schaltungen wurden im IBM Forschungslabor in Rüschlikon in der Schweiz und am Institut für Elektronik, ETH Zürich in der Schweiz entwickelt. Die CMOS Schaltungen sind mit dem 90 nm IBM Bulk CU-08 CMOS 9SF Prozess fabriziert worden. Dieser Prozess ist für digitale und nicht für analoge Schaltungen optimiert.