



Doctoral Thesis

Preserving High Resolution in Deep-Submicron CMOS Pipelined A/D Converters

Author(s):

Treichler, Jürg Andreas

Publication Date:

2010

Permanent Link:

<https://doi.org/10.3929/ethz-a-006007554> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

Diss. ETH No. 18631

Preserving High Resolution in Deep-Submicron CMOS Pipelined A/D Converters

A dissertation submitted to

ETH ZURICH

for the degree of
Doctor of Sciences

presented by

JÜRIG ANDREAS TREICHLER

Dipl. El.-Ing. ETH
born 30 March 1975
citizen of Wädenswil ZH

accepted on the recommendation of

Prof. Dr. Qiuting Huang, examiner
Prof. Dr. Hans-Andrea Loeliger, co-examiner

2009

Abstract

This thesis discusses topics regarding the design and implementation of pipelined analog-to-digital converters (ADCs) running at a supply voltage of 1.2 V.

While the continuing development of new process technologies with shrinking minimum feature sizes allows digital designs to have higher integration densities and more functionality per area, analog circuits suffer from the accompanying reduction of the supply voltage.

Supply voltage limitations lead to a reduction of the available signal swing. As ADCs aiming at high resolutions are strongly limited in their performance by the signal-to-noise ratio (SNR), a low signal swing has a substantial impact on their design.

In this thesis, an introduction to different converter architectures is given. A publication review illustrates that during the past few years, the research focus has mostly been on achieving higher bandwidths rather than obtaining higher resolutions, while only recently high-resolution designs seem to become of interest again.

Noise and error sources in converters are analyzed thereafter. A promising option to lower the amount of thermal noise and thus to save power seems to be to omit the dedicated sample-and-hold (S/H) stage at the input of the converter. S/H stages have however been core building blocks in most converter designs for good reason. Discarding this subcircuit thus leads to specific problems on which this thesis focuses especially.

Subsequently, topics regarding particular building blocks in implementations are discussed. Special considerations are given again to the S/H stage and to the design and layout of operational transconductance amplifiers (OTAs) with high gains and large bandwidths.

Moreover, special circuits such as a comparator with low kickback and built-in calibration as well as a self-calibrated delay line are considered.

During the course of this thesis, two different pipelined converters with sampling frequencies of 50 MHz have been implemented.

A first design reaches an effective resolution of 10 bits up to Nyquist frequency. In addition to an internal averaging algorithm to compensate for capacitor mismatch, it also employs a special off-chip correction algorithm to overcome an inherent parasitic coupling problem.

The effective resolution of the second implemented design is above 11.1 bits for all signal frequencies within its Nyquist bandwidth. At the same time, it consumes less power than the first design and has a spurious-free dynamic range (SFDR) of more than 84 dBc. A startup calibration algorithm removes segment errors in the transfer function of several pipeline stages.

Zusammenfassung

Die vorliegende Dissertation befasst sich mit Themen rund um die Entwicklung und Implementierung von Pipeline-Analog-Digital-Wandlern, die mit einer Versorgungsspannung von 1.2 V betrieben werden.

Die fortschreitende Entwicklung neuer Fabrikationstechnologien für Halbleiter ermöglicht es, dass digitale Schaltungen dank abnehmender minimaler Strukturgrößen immer höhere Integrationsdichten und mehr Funktionalität pro Fläche aufweisen. Der Aufbau analoger Schaltungen hingegen wird durch kleiner werdende Versorgungsspannungen erschwert.

Die Beschränkung der Versorgungsspannung führt zu einer Verkleinerung der maximal möglichen Auslenkung von Signalen. A/D-Wandler mit einer hohen Auflösung, die in ihrem Leistungsvermögen hauptsächlich durch ihr Signal-Rauschleistungs-Verhältnis (SNR) limitiert sind, sind deshalb besonders von einer kleiner werdenden Betriebsspannung betroffen.

Ein Überblick über verschiedene Architekturen von A/D-Wandlern führt in diese Arbeit ein. Anhand eines Rückblicks, welcher Publikationen der letzten Jahre einschliesst, wird aufgezeigt, dass der Forschungsschwerpunkt während dieser Zeit vor allem auf dem Erreichen grösserer Bandbreiten gelegen hat. Erst seit Kurzem erscheinen wieder vermehrt Artikel, die sich mit der Entwicklung von Wandlern mit höheren Auflösungen beschäftigen.

Im Weiteren werden verschiedene Rausch- und Fehlerquellen in Konvertern beschrieben. Ein vielversprechender Lösungsansatz, um der Störung eines Signals durch thermisches Rauschen in einem Wandler zu begegnen, ist das Weglassen einer dedizierten Abtastschaltung am Konvertereingang. Allerdings gibt es auch gewichtige Gründe, um

einen solchen Schaltungsblock zu verwenden. Das Auslassen dieser Schaltung führt deshalb zu einer Reihe besonderer Probleme, auf die im weiteren Verlauf dieser Dissertation speziell eingegangen wird.

Nachfolgende Betrachtungen befassen sich mit der Entwicklung und Implementierung spezieller Schaltungsblöcke. Besondere Beachtung finden wiederum die Abtastschaltung sowie auch die Implementierung von Transkonduktanzverstärkern (OTAs) mit grossen Verstärkungsfaktoren und hohen Bandbreiten. Weiterhin werden auch spezielle Schaltungen wie Komparatoren mit kleinem Kickback und eingebauter Kalibration sowie selbstregelnde Verzögerungsschaltungen diskutiert.

Im Verlauf der vorliegenden Dissertation wurden zwei verschiedene A/D-Wandler mit einer Abtastfrequenz von 50 MHz entwickelt.

Eine erste Schaltung erreicht eine effektive Auflösung von 10 Bit in ihrem gesamten Nyquist-Frequenzband. Ein auf Durchschnittsbildung beruhender Algorithmus dient der Verminderung von Effekten, die durch Kondensatoren ungleicher Grösse bedingt sind, und zusätzlich korrigiert ein in Software implementierter Algorithmus Probleme, die durch einen Kopplungseffekt im Aufbau des Konverters entstehen.

Die effektive Auflösung des zweiten Wandlers ist besser als 11.1 Bit im gesamtem Nyquist-Frequenzband. Zudem ist die Leistungsaufnahme geringer als diejenige des ersten Chips, und der SFDR übertrifft 84 dBc bei allen Signalfrequenzen. Ein nur beim Einschalten auszuführender Kalibrationsalgorithmus gleicht Segmentübergangsfehler in den Übertragungsfunktionen mehrerer Pipeline-Stufen aus.