



Doctoral Thesis

Complex ESD protection elements and issues in decananometre CMOS technologies

Author(s):

Glaser, Ulrich

Publication Date:

2007

Permanent Link:

<https://doi.org/10.3929/ethz-a-005409438> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

Diss. ETH No. 16960

Complex ESD Protection Elements and Issues in Decanometre CMOS Technologies

A dissertation submitted to the
SWISS FEDERAL INSTITUTE OF TECHNOLOGY
ZURICH

for the degree of
Doctor of Technical Sciences

presented by

ULRICH GLASER

Dipl.-Phys. Universität Bayreuth
born October 1, 1975
citizen of Germany

accepted on the recommendation of

Prof. Dr. W. Fichtner, examiner
Dr. W. Wilkening, co-examiner

2007

Abstract

ESD (ElectroStatic Discharge) protection devices and circuits are a matter of ever continuing development. Process changes, novel applications and interfaces, and scaling issues lead to tighter boundary conditions for the ESD protection device properties. Furthermore, an increasing demand of protection against fast ESD events arises. Both developments enforce the implementation of complex ESD protection devices like diode strings and thyristors (Silicon Controlled Rectifiers, SCRs) with trigger circuits. The understanding, adjustment and enhancement of these devices for actual and future decananometre CMOS technologies is crucial for an effective protection. In addition, the increasing integration density causes a larger number of parasitic elements, whose increasing susceptibility to ESD events leads to the occurrence of novel failure modes.

This work comprises several investigations into complex ESD protection elements and issues in decananometre p-substrate CMOS technologies, i.e. the study of a relevant failure mode and two essential ESD protection devices. TCAD (Technology Computer Aided Design) device simulation constitutes the mainly used tool. The device simulation is based on a thorough simulator calibration. This work shows the necessity of a new, extended calibration methodology, i.e. it includes the bandgap narrowing model and utilises a set of optimised parameters for each one of two well-chosen device zones.

The first investigation analyses a new failure mode: the opening of a critical ESD path via parasitic npn transistors. The active control of the parasitic npn transistors by the ESD protection network modifies the expected properties of the parasitic transistors leading to damage. Several solutions on the device and circuit level are developed

and rated under the constraint of highest effectiveness and maximal integration density.

The simulation of a p^+/n -well diode string constitutes a major step in the modelling of diode strings. The discovery of parasitic SCRs in the diode string necessitates the extension of the equivalent circuit model of the diode string. Such parasitic SCRs influence both the static and dynamic characteristics of the diode string. They may increase the risk of damage due to latch-up issues. On the other hand, the utilisation of the parasitic SCRs may enhance the diode string for ESD protection purposes. The study of design and topology variations that change the dynamic diode string properties and the impact of the parasitic SCR shows the possible impact of the parasitic SCR, leading to recommendations for an optimised ESD protection diode string with small risk of latch-up.

Three-dimensional ESD simulations of an SCR ESD protection device with complex and realistic doping profiles have been performed in an actual CMOS technology. They exhibit current confinement in a part of the high current $I(V)$ characteristic. The detailed analysis of the dynamic response of the SCR in 2D including the contribution of the inherent devices as well as the impact of design, doping and trigger variations leads to an optimisation of SCR ESD protection devices regarding speed and clamping capabilities.

Throughout this work, special attention is given to parasitic devices. The understanding of their impact on the intended device properties is crucial for a correct design and simulation of the devices. The consideration or utilisation of parasitic devices leads in all cases to a solution of the problems respectively an optimisation of the involved devices.

The rigorous analysis of the transient response of complex ESD protection devices constitutes another major achievement of this work. The simulation together with a physical verification leads to important qualitative insights and improvements regarding e.g. the turn-on speed of the ESD protection devices. Different measurement techniques (static and dynamic electrical measurements, transient interferometric mapping, emission microscopy) verify the calibration and the fundamental findings of this work in the accessible ranges.

Zusammenfassung

ESD (ElectroStatic Discharge)-Schutzelemente und ESD-Schutzschaltungen bedürfen einer andauernden Weiterentwicklung, da Prozessänderungen, neue Anwendungen und Schnittstellen, sowie Skalierung mit dem Ziel weiterer Miniaturisierung die Randbedingungen für die Eigenschaften der ESD-Schutzelemente verschärfen. Zudem werden die Anforderungen an den ESD-Schutz erweitert im Hinblick auf schnelle ESD-Ereignisse. Beide Entwicklungen führen zur Verwendung von komplexen ESD-Schutzelementen wie Diodenketten oder Thyristoren mit Ansteuerschaltungen. Für einen effektiven ESD-Schutz für aktuelle und zukünftige Dekananometer-CMOS-Technologien ist deren Verständnis, Anpassung und Verbesserung entscheidend. Die steigende Integrationsdichte verursacht eine zunehmende Zahl von parasitären Bauelementen. Diese begründen eine steigende Anfälligkeit gegen ESD-Ereignisse und führen daher zu neuen Fehlerbildern.

Diese Arbeit umfasst verschiedene Untersuchungen von komplexen ESD-Schutzelementen und ESD-Themen in Dekananometer-CMOS-Technologien mit p-Substrat: Es werden ein neues Fehlerbild und zwei wesentliche ESD-Schutzelemente studiert. Dabei basieren alle Untersuchungen auf TCAD (Technology Computer Aided Design)-Bauelementesimulationen. Die Grundlage der Bauelementesimulation stellt eine sorgfältige Kalibrierung des Simulators dar. Diese Arbeit zeigt die Notwendigkeit einer neuen erweiterten Kalibrierungsmethodik, welche die Verkleinerung der Bandlücke berücksichtigt und optimierte Parameter für jede von zwei sorgfältig gewählten Zonen verwendet.

Die erste Untersuchung betrifft ein neues Fehlerbild: Das Öffnen

eines kritischen ESD-Pfades über parasitäre npn-Transistoren. Die aktive Ansteuerung des parasitären npn-Transistors durch das ESD-Schutznetzwerk modifiziert die erwarteten Eigenschaften des parasitären Transistors und führt zu irreparablen Schäden. Mehrere Lösungen auf Bauelement- und Schaltkreisebene werden entwickelt und an der Randbedingung höchster Effizienz und maximaler Integrationsdichte bewertet.

Die Erkenntnisse aus der Simulation der p^+/n -Wannen-Diodenkette führen zu einer Verbesserung der Modellierung der Diodenkette. Durch die Entdeckung der parasitären Thyristoren (Silicon Controlled Rectifiers oder SCRs) in der Diodenkette muss das Ersatzschaltbild der Diodenkette erweitert werden. Diese parasitären SCRs beeinflussen sowohl die statische als auch die dynamische Charakteristik der Diodenkette. Sie können einerseits das Risiko von Schäden durch Latch-Up erhöhen und andererseits zur Optimierung der Diodenkette für die Verwendung als ESD-Schutzelement dienen. Die Untersuchung von Design- und Topologievariationen, welche die dynamischen Eigenschaften der Diodenkette und den Einfluss der parasitären SCRs verändern, zeigen den möglichen Einfluss der parasitären SCRs und führen zu Empfehlungen für eine optimierte ESD-Diodenkette mit geringem Latch-Up-Risiko.

Die ersten 3D-Simulationen von SCR ESD-Schutzelementen mit komplexen und realistischen Dotierprofilen wurden in einer aktuellen CMOS-Technologie durchgeführt. Sie zeigen unter ESD-Bedingungen Stromfilamente in einem Teil der Hochstromcharakteristik. Die detaillierte Analyse der dynamischen Antwort des SCRs in 2D unter Einbeziehung des Beitrages durch die inhärenten Bauelemente und des Einflusses von Design-, Doping- und Triggervarianten führen zu einem optimierten ESD-Schutzelement insbesondere bezüglich Schaltgeschwindigkeit und der Spannungsklemmung.

Besondere Beachtung finden in jedem Teil dieser Arbeit die parasitären Bauelemente. Das Verständnis ihres Einflusses auf die beabsichtigten Eigenschaften des Bauelements sind entscheidend für die korrekte Entwicklung und Simulation der Bauelemente. Die Beachtung und Nutzung der parasitären Strukturen führt in allen Fällen zur Lösung der Probleme beziehungsweise zur Optimierung der involvierten Bauelemente.

Die rigorose Analyse der transienten Antwort von komplexen ESD-

Schutzelementen stellt eine weitere große Errungenschaft dieser Arbeit dar. Die Simulationsergebnisse und die theoretischen Verifikationen ermöglichen wichtige qualitative Erkenntnisse und Verbesserungen beispielsweise bezüglich der Schaltgeschwindigkeit der ESD-Schutzelemente. Verschiedene Messtechniken (statische und dynamische elektrische Messungen, transiente interferometrische Untersuchungen und Emissionsmikroskopie) verifizieren die Kalibrierung und die grundlegenden Erkenntnisse dieser Arbeit in den zugänglichen Bereichen.