



Doctoral Thesis

Design of a highly-integrated frequency synthesizer for multi-standard mobile communications

Author(s):

Chen, Xinhua

Publication Date:

2007

Permanent Link:

<https://doi.org/10.3929/ethz-a-005509571> →

Rights / License:

[In Copyright - Non-Commercial Use Permitted](#) →

This page was generated automatically upon download from the [ETH Zurich Research Collection](#). For more information please consult the [Terms of use](#).

Diss. ETH No. 17292

Design of A Highly-Integrated Frequency Synthesizer for Multi-Standard Mobile Communications

A dissertation submitted to the
ETH ZÜRICH

for the degree of
Doctor of Sciences

presented by

XINHUA CHEN

Master of Science, Southeast University, China
born 1 Nov. 1976
citizen of China

accepted on the recommendation of

Prof. Dr. Q. Huang, examiner
Dr. R. Best, co-examiner

2007

Abstract

This thesis is a contribution to the research and development of high performance and high integration level CMOS frequency synthesizer for multi-standard (GSM/EDGE/WCDMA) mobile communications.

A frequency synthesizer is a key component in a wireless RF transceiver since it has a direct impact on the overall transmitter and receiver performance. For example, the impurity of the synthesized carrier signal, interpreted as phase noise and spurious tones, can degrade the receiver BER by affecting the receiver sensitivity, or prevent the transmitter from transmitting at the maximum power due to too high noise level in adjacent channels, both reducing a handset's performance in terms of the usable distance range. In addition, fast settling speed when switching a carrier frequency is becoming more and more critical for advanced applications utilizing the frequency hopping technique.

In the context of an advantageous direct-conversion transceiver architecture, frequency synthesizer design already faces new difficulties like double frequency VCO and quadrature LO generation. Moreover, multi-standard operation poses even tougher challenges on the synthesizer architecture in addition to the VCO tuning range and phase noise trade-off.

In this thesis, an integer-N frequency synthesizer architecture has been chosen against its counterpart, the Δ - Σ fractional-N, because the ultimate target of SAW filter-less transceiver solution both in GSM and in WCDMA modes requires a wide-band synthesizer noise floor well below -162 dBc/Hz which is very difficult for a Δ - Σ fractional-N synthesizer. Being a key block, a band-switching wide-band low-noise VCO running at 8 GHz with package bond-wire (down-bonded) in-

ductors has been proposed. To address the intrinsic limitation of slow settling speed in an integer-N architecture, the PLL runs at double the LO frequency of 4 GHz so that a 400 kHz reference frequency and 40 kHz loop bandwidth can be used. Theoretical analysis of the third-order PLL arrives at an optimal configuration for fastest settling. The measured frequency switching time, including the automatic band-selection algorithm running time, is below $150 \mu\text{s}$, leaving enough margin for a $200 \mu\text{s}$ specification. Better understanding of the reference spur generation mechanism brings a high performance charge pump design with improved matching performance, reducing the reference spur which tends to be problematic at a sufficiently low level. Besides a second-order loop filter, a DCXO has also been integrated on-chip. The novel DCXO combines switched-varactor tuning with negative capacitance tuning, achieving guaranteed monotonicity, a wide frequency tuning range of more than 70 ppm, and a fine resolution of 0.01 ppm. The complete synthesizer has thus achieved an unprecedented integration level, requiring only a cheap crystal quartz off-chip. Incorporated into a single-chip GSM/EDGE/WCDMA RF transceiver, the frequency synthesizer has demonstrated excellent performance such as -214 dBc/Hz normalized synthesizer noise floor and -162 dBc/Hz phase noise at 20 MHz offset in GSM 900 band, which are among the best in the world. Characterization results of the whole transceiver show unparalleled performance with a minimum number of external components and a competitive low power consumption.

Zusammenfassung

Diese Arbeit leistet einen Beitrag zu Forschung und Entwicklung von leistungsstarken hochintegrierten CMOS Frequenzsynthesizern für multistandard (GSM/EDGE/WCDMA) Mobilkommunikationsgeräte.

Ein Frequenzsynthesizer ist eine Schlüsselkomponente in einem mobilen RF Transceiver, da er einen direkten Einfluss auf die Leistungsfähigkeit des Sende- sowie des Empfangsteils hat. Spektrale Unreinheiten im erzeugten Trägersignal zum Beispiel, die sich als Phasenrauschen und diskrete Töne bemerkbar machen, können die Bitfehler-rate (BER) des Empfängers erhöhen, indem sie seine Empfindlichkeit beeinträchtigen. Auch kann der Sender bei zu hohem Rauschen in benachbarten Kanälen daran gehindert werden, mit voller Leistung zu übertragen. Beide Effekte führen zu einer Reichweitenreduktion. Kurze Einschwingzeiten nach einem Trägerwechsel werden zudem immer wichtiger für moderne Anwendungen, welche Techniken wie Frequency Hopping einsetzen.

Das Umfeld einer Direkt-Konversion Transceiver-Architektur stellt bereits beträchtliche Herausforderungen an die Entwicklung von Frequenzsynthesizern, wie z.B. Double-Frequency VCOs und die Quadratur LO Erzeugung. Zusätzliche Anforderungen an die Architektur eines Synthesizers kommen noch durch den Multi-Standard-Betrieb hinzu. Diese müssen zusätzlich zum Kompromiss zwischen der Grösse des Einstellungsbereichs des VCOs und der Höhe des Phasenrauschens berücksichtigt werden.

Für diese Arbeit wurde eine Integer-N Frequenzsynthesizer-Architektur gegenüber ihrem Gegenstück, dem Σ - Δ -Fractional-N-Synthesizer, bevorzugt. Da der Synthesizer nämlich sowohl im GSM- als auch im WCDMA-Betrieb ohne SAW Filter auskommen soll, muss er über

eine grosse Bandbreite hinweg rauscharm (unter -162 dBc/Hz) sein, was für einen Fractional-N-Synthesizer nur sehr schwer zu erreichen ist.

Als Schlüsselkomponente wurde ein breitbandiger, frequenzbandschaltender, rauscharmer VCO implementiert, welcher bei einer Frequenz von 8 GHz betrieben wird. Die notwendigen externen Induktivitäten werden durch die Bonddrähte gebildet. In einer Integer-N-Architektur besteht systemimmanent das Problem, dass der Einschwingvorgang relativ langsam ist. Um diese Einschränkung zu umgehen, wird der PLL bei 4 GHz (der doppelten LO Frequenz) betrieben, so dass eine 400 kHz Referenzfrequenz mit 40 kHz Bandbreite verwendet werden kann.

Eine theoretische Analyse der Architektur eines PLLs dritter Ordnung gibt eine optimale Konfiguration für schnelles Einschwingen vor. So liegt die gemessene Zeit für einen Frequenzwechsel, die auch die Laufzeit des Algorithmus zur automatischen Bandauswahl mit einschliesst, unter $150 \mu\text{s}$, was genug Spielraum lässt, um die Vorgabe von $200 \mu\text{s}$ zu erfüllen. Durch ein besseres Verstehen der Mechanismen, welche für das Entstehen von Störungen im Referenzblock verantwortlich zeichnen, konnte eine äusserst leistungsfähige Ladungspumpe entwickelt werden, die dank besserem Matching die problematischen Referenzstörungen auf ein akzeptabel tiefes Niveau senken konnte.

Neben einem Loop-Filter zweiter Ordnung wurde auch ein DCXO auf dem Chip integriert. Dieser neuartige DCO kombiniert Switched-Varactor Tuning mit Negative-Kapazität Tuning und erreicht dadurch garantierte Monotonität, einen breiten Frequenzeinstellungsbereich von mehr als 70 ppm und eine Feinauflösung von 0.01 ppm.

Der vollständige Synthesizer zeichnet sich durch eine bisher nicht da gewesene Integrationsdichte aus und benötigt nur einen einfachen Quarzkristall ausserhalb des Chips. Eingebettet in einen Single-Chip GSM/EDGE/WCDMA RF Transceiver zeigt der Frequenzsynthesizer eine ausgezeichnete Leistung: So gehören -214 dBc/Hz normalisiertes Grundrauschen und -162 dBc/Hz Phasenrauschen bei 20 MHz Offset im GSM-900-Frequenzband zu den besten Werten, die bis anhin je erreicht wurden. Auch die Resultate der Charakterisierung des gesamten Transceivers zeigen eine sehr gute Leistung auf, gekoppelt mit einer minimalen Anzahl externer Komponenten und einem niedrigen Leistungsverbrauch.