ETH zürich

ETH Library

Semiconducting nanowire tunnel devices

Doctoral Thesis

Author(s):
Bessire, Cédric Dominic

Publication date:
2013

Permanent link:
https://doi.org/https://doi.org/10.3929/ethz-a-009988390

Rights / license:
In Copyright - Non-Commercial Use Permitted

This page was generated automatically upon download from the ETH Zurich Research Collection.
For more information, please consult the Terms of use.

Diss. ETH No. 21283

Semiconducting Nanowire Tunnel Devices

A dissertation submitted to

ETH ZURICH

for the degree of
Doctor of Sciences

presented by

Cédric Dominic Bessire
MSc Physics ETH
born August 27th 1985
citizen of Péry (CH)

accepted on the recommendation of
Prof. Dr. Andreas Schenk, examiner
Prof. Dr. Adrian Ionescu, co-examiner

2013

Alles Wissen und alles Vermehren unseres Wissens endet nicht mit einem Schlusspunkt, sondern mit einem Fragezeichen.

H. Hesse

Zusammenfassung

Die vorliegende Arbeit befasst sich mit der Herstellung und der Charakterisierung von neuartigen elektrischen Bauteilen, die auf neuen Architekturen, Fabrikationsmethoden und Materialkombinationen basieren. Es werden zum ersten Mal Nanodraht Tunneldioden gezeigt, die auf Si Homo- und InAs-Si Hetero-Übergängen beruhen. Aus den Tunneldioden werden die gewonnenen Erkenntnisse verwendet, um einen Si-InAs Nanodraht-Heterostruktur Tunnel-Feld-Effekt-Transistor (TFET) zu konzipieren und herzustellen, der als zukünftiger Transistor in Schwachstromschaltkreisen zur Verwendung kommen könnte. In dieser Arbeit werden die Herstellung und die elektrische Charakterisierung der folgenden drei Typen vertikaler Nanodraht-Bauteile präsentiert:

1. Si Nanodraht Esaki Dioden
2. Si-InAs Nanodraht Dioden und Esaki Dioden
3. Si-InAs Nanodraht Tunnel FET

In Anbetracht des Herstellungsprozesses ist die zweipolige Esaki Tunneldiode ein viel einfacheres Bauteil als der TFET. Gleichzeitig stellt sie jedoch ein ideales System dar, um den Tunnelübergang, den beide Bauelemente teilen, genau zu untersuchen. Mittels der Tunneldiode kann insbesondere der maximale Tunnelstrom durch einen solchen Tunnelübergang und somit das obere Limit für den Ansteuerungsstrom eines solchen TFETs eruiert werden. Ausserdem können die Qualität der Tunnelgrenzfläche sowie der Einfluss von möglichen Störstellen auf das Tunneln der Elektronen mit den Tunneldioden detailliert analysiert werden. Dabie ist das Gipfel- zu Talstrom-Verhältnis

ein guter Hinweis für die Qualität der Tunnelgrenzfläche. Diese ist wesentlich für einen TFET, da der Vorteil gegenüber einem MOSFET auf dem direkten Band-zu-Band-Tunneln (BTBT) basiert, das auf defektfreien und abrupten Tunnelgrenzflächen beruht.

Si-Nanodraht-Tunneldioden wurden bisher noch nie mit der gas-flüssig-fest (VLS) Wachstumsmethode hergestellt, da die Erzeugung von steilen p-n Übergängen durch diese Methode limitiert war. Um diese Limitation zu umgehen, wurde ein neues Vorgehen bei der Herstellungsmethode entwickelt, indem n-dotierte Si Nanodrähte direkt auf ein hoch p-dotiertes Si $\langle 111 \rangle$ Substrat gewachsen werden. Diese Si-Tunneldioden zeigen bezüglich der beiden kombinierten Leistungsmerkmale Gipfel- zu Talstrom-Verhältnis von 4.2 sowie Gipfelstromdichte von $3.57\,kA/cm^2$ die besten je gemessenen Resultate bei Raumtemperatur. Mit einer Tunnelgrenzschicht von nur 60 nm Durchmesser sind diese Dioden zu den Molekularstrahlepitaxie (MBE) gewachsenen Si Tunneldioden mit makroskopischen Dimensionen im Vergleich zudem die einzigen skalierten Bauteile. Darüber hinaus wurde das phononassistierte Tunneln bei Tieftemperaturen erforscht. Dieses gab keine Hinweise zu tiefen Störstellen (zum Beispiel von Gold), welche gewöhnlich das direkte BTBT stören, liefert. Der höchste gemessene Tunnelstrom bei 0.5 V Spannung in Rückwärtsrichtung ist $296\,kA/cm^2$. Diese Richtgrösse des Tunnelstroms in Si-Tunneldioden überträgt sich zu einem Ansteuerungsstrom von $44.4\,\mu A/\mu m$ in einem möglichen Si-Nanodraht-TFET, falls ein *Gate* angenommen wird, das um den Nanodraht gewickelt wird. Dieser Ansteuerungsstrom wäre jedoch nicht konkurrenzfähig genüber der Leistung, die von einem Si MOSFET der aktuellsten Technologie im Niederspannungsbereich erbracht wird, der Ströme im $mA/\mu m$-Bereich generiert. Obwohl Si-Nanodraht-Tunneldioden mit exzellenten Eigenschaften hergestellt wurden, zeigen die Resultate die limitierte Tunnelwahrscheinlichkeit durch die relativ breite Energiebandlücke von $E_G = 1.12\,eV$ im Silizium Halbleiter.

Um das direkte BTBT zu erhöhen, wird ein neues Materialsystem benötigt, das grössere Ansteuerungsströme in TFETs generieren kann. Der Halbleiter InAs ist dank seiner schmalen Energiebandlücke optimal dafür geeignet. In Kombination mit Si bildet sich zudem ein Versatz in der Energiebandlücke, das zu einer noch kleineren effektiven Bandlücke und somit hoher Tunnelwahrscheinlichkeit führt. Ein

Unterschied von 11.6 % in der qubischen Kristalgitterlänge lässt die Kombination dieser beiden Materialien jedoch zu einer Herausforderung werden. Um den bei der Kombination im weicheren Material InAs entstehende grosse Stress zu bewältigen, werden Nanostrukturen wie die Nanodrähte benötigt, damit sich dieser effizient in der radialen Richtungen abbauen kann. Zum ersten mal werden Si-InAs Tunneldioden gezeigt, die durch das Wachstum von vertikalen InAs Nanodrähten direkt auf Si Substraten mit der Metal-Organischen-Gasphasenabscheidung (MOCVD) hergestellt werden. Der entstehende Heteroübergang dieses Materials wird elektrisch charakterisiert, wobei ein Versatz des Valenzbandes zwischen Si und InAs von $\Delta E_V = 130 \pm 30\,meV$ gemessen wird mit einer effektiven Energielücke von $E_{G,eff} = 80 \pm 30\,meV$. Diese Tunneldioden weisen sehr hohe Gipfelstromdichten von bis zu 0.57 MA/cm^2 und gute Gipfel- zu Talstrom Verhältnisse von bis zu 2.4 auf. Zudem wird die Qualität des Heteroüberganges detailliert untersucht. Eine strukturelle Analyse deckt ein Versetzungsnetzwerk mit einer Periodizidät von 3.6 nm im Kristall des InAs Nanodrahts auf. Der Umstand, dass diese Versetzungen aktive Störstellen in der Energiebandlücke bilden, wird durch Tunnelspektroskopie bei flüssiger Heliumtemperatur bestätigt. Das sogenannte störstellenassistierte Tunneln (TAT) wird jedoch nur in Messungen beobachtet, bei welchen die Generierungsrate des Tunnelns nahe am Heteroübergang statt findet, was durch TCAD Simulationen bestätigt wird. Wenn sich hingegen die Generierungsrate des BTBT von der Heterogrenzfläche weg bewegt, verschwinden auch die Strukturen mit Bezug auf TAT. Bei 0.5 V Spannung in Rückwärtsrichtung wird ein rekordhoher Tunnelstrom von 19.6 MA/cm^2 erreicht, welches der höchste je gemessene Tunnelstrom in einer Heterostruktur mit Versatz in der Energielücke darstellt. Demzufolge beweist sich das Si-InAs Materialsystem in dieser Arbeit als Kandidat für einen TFET mit hohem Potenzial für konkurrenzfähige Ansteuerungsströme in Transistoren.

Im letzten Kapitel der vorliegenden Dissertation wird das Si-InAs Materialsystem verwendet, um einen Heteroübergang-Nanodraht TFET herzustellen und zu untersuchen. Die TFETs bestehend aus einem Si *Channel* und einer Si *Drain*, sowie einer InAs *Source* werden elektrisch charakterisiert und zeigen einen inversen Schwellenanstieg von 150 mV/dec bei Raumtemperatur über mehr als drei Grössenordnungen des Ansteuerungstroms und Durchlassströme von mehr als 1 $\mu A/\mu m$.

In dieser Arbeit wird eines der besten Verhältnisse von eingeschaltetem zu ausgeschaltetem Strom von über sieben Grössenordnungen in TFETs gemessen. Das wird von keinem anderen III-V Halbleiter erreicht. Allerdings muss der Ansteuerungsstrom noch erhöht und der *Gate* Spannungshub verkleinert werden, damit der Si-InAs Nanodraht TFET konkurrenzfähig wird. Dies kann durch eine verbesserte elektrostatische Kontrolle über das *Channel*-Gebiet erreicht werden, indem der Nanodraht Durchmesser und die D_{it} reduziert sowie dielektrische Materialien mit grösserer Dielektrizitätskonstante als Al_2O_3 eingeführt werden. Mit den hohen gemessenen Tunnelströmen ist die Si-InAs Materialkomposition sehr vielversprechend einen kleinen *Gate* Spannungshub sowie einen hohen Ansterungsstrom im TFET zu erreichen.

Abstract

In this thesis innovative tunnel devices based on new architectures, new fabrication approaches and novel material combinations are fabricated and investigated in detail. In particular, nanowire homo- and heterojunction tunnel diodes based on Si and InAs-Si have been demonstrated for the first time. The gained knowledge and understanding of tunnel diodes is applied to design and fabricate InAs-Si heterostructure nanowire (NW) tunnel FETs as future transistors for low power applications. In this thesis, the fabrication and electrical characterization of the following three type of vertical NW devices is discussed:

1. Si NW Esaki Diodes
2. Si-InAs NW Diodes and Esaki Diodes
3. Si-InAs NW Tunnel FETs.

In terms of fabrication, a two-terminal Esaki tunnel diode is a much simpler device than a TFET. However, it is an ideal model system to investigate the tunnel junction that these two devices have in common. In particular, the tunnel diode can give an upper limit for the tunnel current through such a junction and thus for the drive current of a TFET. Furthermore, the quality of the tunnel interface and the influence of trap states on the tunneling can be investigated by tunnel diodes in detail, with the peak to valley current ratio (PVCR) in tunnel diodes being a good indicator for that. The interface quality is essential for a TFET, since its advantages over a MOSFET is based on the direct band-to-band tunneling (BTBT) that relies on a defect-free and abrupt tunnel-interface.

Si NW tunnel diodes have not been demonstrated yet by the vapor-liquid-solid (VLS) growth method due to its limitation of creating sharp p-n junctions. A novel fabrication approach is developed to avoid this limitation by growing Si n-type NWs directly on highly p-type doped Si $\langle 111 \rangle$ substrates. These Si tunnel diodes show the best results of combined figures of merit at room temperature of very high PVCR as well as peak current densities (PCD) with 4.2 and $3.57\,kA/cm^2$, respectively. With a tunnel interface of only 60 nm diameter, these devices are the only scaled devices in comparison to most molecular-beam-epitaxy (MBE) grown Si tunnel diodes with macroscopic dimensions. In addition, the phonon-assisted tunneling is studied at low temperatures, indicating that deep impurity levels (like Au) are not affecting the BTBT. The highest tunnel currents in reverse bias at 0.5 V measured are up to $296\,kA/cm^2$. This TD benchmark translates into $44.4\,\mu A/\mu m$ drive current in a potential Si NW TFET by assuming a gate wrapped around the Si NW. This drive current is not yet sufficiently high to compete against the performance of a state-of-the-art low-power Si MOSFET, which shows currents in the $mA/\mu m$-range. Although Si TDs with excellent properties are fabricated, the results show the limited tunnel probability within Si due to its relatively large band gap $E_G = 1.12\,eV$ and the fact that BTBT is phonon-assisted in bulk-like Si devices.

Hence, a new material system is required to boost the direct BTBT and achieve a high drive current in TFETs. InAs as a small, direct band gap material is beneficial and combined with Si a staggered band gap alignment can be achieved. Therefore, this material system is very advantageous for high tunnel probabilities due to the small effective band gap and the small effective masses. The challenge to combine these two materials though is the large cubic lattice mismatch of 11.6 %. To cope with the large stress induced into the softer material at the metallurgical junction, nano-scaled structures like NWs are needed in order to let the stress relax efficiently in the radial direction. For the first time Si-InAs tunnel diodes are demonstrated in this thesis by vertical InAs NW growth directly on Si substrates by the metal-organic chemical vapor deposition (MOCVD) method. The heterojunction of this material composition is electrically characterised, where a valence band offset between Si and InAs of $\Delta E_V = 130 \pm 30\,meV$ is measured that translates into an effective

band gap of $E_{\mathrm{G,eff}} = 80 \pm 30\,meV$ of the heterostructure. The TDs yield very high PCDs and good PVCRs of up to 0.57 MA/cm^2 and 2.4, respectively. Furthermore, the quality of the heterojunction is investigated in detail. Structural analysis shows a dislocation network with a periodicity of 3.6 nm within the InAs NW. That these dislocations form active trap states within the energy band gap in the vicinity of the heterojunction is confirmed by tunnel spectroscopy at liquid He-temperature, where trap-assisted tunneling (TAT) is observed only if the tunneling generation rate takes place close to the heterointerface as verified with technology computer aided design (TCAD) simulations. However, if the BTBT generation rate shifts away from the heterointerface, no TAT-related structures arise anymore. At 0.5 V reverse bias a record-high tunnel current of 19.6 MA/cm^2 is achieved, the highest ever measured in staggered heterostructures. Hence, in this work it is demonstrated that the Si-InAs heterostructure system has a high potential to achieve very high tunnel currents as required for tunnel FETs.

In the last chapter of this thesis the Si-InAs material system is used to fabricate and investigate heterojunction NW TFETs with Si as channel and drain, and InAs as source material. The TFETs are electrically characterized to yield an inverse subthreshold slope down to 150 mV/dec at room temperature over more than three orders of magnitude of drive current and on-state currents above 1 $\mu A/\mu m$. One of the best on-off state current ratios for TFETs over seven orders of magnitude is demonstrated that is not achieved by other III-V material TFETs. However, the drive current has to be improved and the gate swing needs to be decreased in order to make the Si-InAs NW TFET competitive. This can be achieved by an improved electrostatic control over the channel area by reducing the NW diameter and the D_{it} as well as by introducing higher κ-materials than Al_2O_3 for the gate stack. Hence, the Si-InAs material composition is a promising candidate to achieve these two figures of merit as well since the TD showed record-high tunnel currents at reverse bias below 0.5 V.