ETH zürich

ETH Library

A multiprocessor-based controller architecture for high-speed communication protocol processing

Doctoral Thesis

Author(s):
Wicki, Thomas Martin

Publication date:
1990

Permanent link:
https://doi.org/https://doi.org/10.3929/ethz-a-000592485

Rights / license:
In Copyright - Non-Commercial Use Permitted

This page was generated automatically upon download from the ETH Zurich Research Collection.
For more information, please consult the Terms of use.

Diss. ETH

Diss. ETH No. 9284

A Multiprocessor-Based Controller Architecture for High-Speed Communication Protocol Processing

A dissertation submitted to the

SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH

for the degree of

Doctor of Technical Sciences

presented by

THOMAS MARTIN WICKI

Dipl. El. Ing. ETH

born August 1, 1961

citizen of Luzern

accepted on the recommendation of

Prof. Dr. A. Kündig, examiner

Prof. Dr. B. Plattner, co-examiner

Zürich 1990

ETH-BIBLIOTHEK ZÜRICH

CatE

ETHICS ETH-BIB

00100000527770

Abstract

This thesis describes a specialized and programmable hardware architecture dedicated to fast processing of standard OSI communication protocol stacks.

The media capacity of LANs and other networks will soon reach the Gbit/s range. This trend offers increasing channel bandwidth to the end user. However, pure software implementations of standard OSI protocols available today provide a maximum throughput at the transport layer of about 2 Mbit/s. This discrepancy represents a major bottleneck in today's communication systems and will become even more critical in the future.

A specialized hardware architecture to cope with the problems inherent in protocol processing was developed using fully programmable microprocessor-based elements. Such a structure has to be "general-purpose" for all different kinds of communications applications. Main bottlenecks of today's implementations are avoided directly by the hardware structure used. A VLSI (Very Large-Scale Integration) solution is not considered because of its lack of flexibility; thus, protocols are implemented in software.

With the special requirements and the processors available today only a multiprocessor-based structure was regarded as suitable to cope with the desired data rates by exploiting protocol-inherent parallelism. Two central frame memories, one for the receiver side and one for the transmitter side, avoid unnecessary copying of data frames. The number of processors is not fixed and can be varied depending on the power required to process the protocol stack. Two different communication mechanisms are used within the subsystem. Data frames are transferred to and from the central memories via wide parallel paths. The second mechanism is a low delay message transfer system used for synchronization, interprocessor communication, and the exchange of control information with the host. The modular approach of the architecture also allows easy extension with additional processors which do not need global memory access. They are attached via the message transfer system only. Partitioned-off functions performed by such processors can be buffer management and a timer unit, for instance.

An experimental prototype based on transputer microprocessors has been implemented. The transputers have direct access to the global memories, enabling them to access the header fields of frames. The current implementation allows up to eight processors, four on the receiver and four on the transmitter side. For the message transfer system the serial transputer links are used.

Frames are stored in the global memory. By not routing the full frames through the processors, but accessing only the headers, high performance is achieved.

Measurements performed with an implementation of the standard connection-oriented logical link control protocol ISO 8802/2.2 Class II showed a performance of more than 100 Mbit/s with a protocol data unit size of 2 kBytes. This result demonstrates that the architecture of this protocol adapter is superior to the conventionally used hardware concepts.

Kurzfassung

Diese Dissertation beschreibt eine spezialisierte und programmierbare Hardware-Architektur, die auf das schnelle Abarbeiten von Standard-OSI-Kommunikationsprotokolltürmen zugeschnitten ist.

Die Kapazität des Übertragungsmediums in LANs und andern Netzwerken wird in absehbarer Zeit die Gbit/s-Grenze erreichen. Diese Entwicklung bietet dem Endbenutzer eine immer grössere Kanalbandbreite an. Reine Software-Implementationen heute erhältlicher Standard-OSI-Protokolle erreichen jedoch auf der Transport-Ebene nur einen maximalen Durchsatz von ungefähr 2 Mbit/s. Diese Diskrepanz stellt einen gewichtigen Engpass in heutigen Kommunikationssystemen dar und wird sich in Zukunft noch verschärfen.

Eine spezialisierte Hardware-Architektur, die in der Lage ist, gegen die in der Protokollabarbeitung auftretenden Probleme aufzukommen, wurde entwickelt. Sie besteht aus vollprogrammierbaren mikroprozessorbasierenden Elementen. Eine solche Struktur muss allgemein verwendbar für alle möglichen Arten von Kommunikationsanwendungen sein. Die Hauptengpässe heutiger Implementationen werden direkt durch die angewendete Hardware-Struktur umgangen. Eine VLSI (Very Large-Scale Integration)-Lösung wird wegen der fehlenden Flexibilität nicht in Betracht gezogen. Protokolle werden also in Software implementiert.

Wegen der speziellen Erfordernissen und unter Berücksichtigung der Leistung heute erhältlicher Prozessoren wurde nur eine multiprozessorbasierende Struktur als fähig erachtet, die gewünschten Datenraten unter Ausnutzung von protokollinternem Parallelismus erbringen zu können. Zwei zentrale Rahmenspeicher, je einer auf der Empfänger- und der Senderseite, verhindern das unnötige Kopieren von Datenrahmen. Die Anzahl der Prozessoren ist nicht fix und kann je nach Leistungserfordernissen zur Bearbeitung des Protokollturms variiert werden. Zwei unabhängige Kommunikationsmechanismen finden in dem Subsystem Anwendung. Datenrahmen werden über breite parallele Pfade zu und von den zentralen Speichern transferiert. Der zweite Mechanismus, ein Meldungstransport-System mit geringer Verzögerung, wird für Synchronisierungszwecke, Kommunikation zwischen Prozessoren und für den Austausch von Steuerinformationen mit dem Hauptrechner gebraucht. Der modulare Ansatz der Architektur erlaubt auch eine einfache Erweiterung mit zusätzlichen Prozessoren, die keinen Zugriff auf den globalen Speicher benötigen. Diese werden ausschliesslich über das Meldungstransport-System angeschlossen. Ausgela-

gerte Funktionen, die durch solche Prozessoren ausgeführt werden, sind zum Beispiel Pufferverwaltung und Zeitgebereinheit.

Ein experimenteller Prototyp basierend auf Transputer-Mikroprozessoren wurde implementiert. Die Transputer haben direkten Zugriff auf die globalen Speicher, was ihnen die Bearbeitung der Header-Felder der Rahmen ermöglicht. Die jetzige Implementation erlaubt den Einsatz von acht Prozessoren, je vier auf der Empfänger- und der Senderseite. Das Meldungstransport-System wird durch die seriellen Links der Transputer bewerkstelligt. Datenrahmen werden im globalen Speicher abgelegt. Die hohe Durchsatzleistung wird dadurch erzielt, dass nicht die ganzen Rahmen über die Prozessoren geleitet werden, sondern diese nur auf die Header-Informationen zugreifen.

Messungen, die auf einer Implementation des verbindungsorientierten Standard-"logical link control"-Protokolls ISO 8802/2.2 Class II durchgeführt worden sind, zeigten einen Durchsatz von mehr als 100 Mbit/s bei einer "Protocol Data Unit"-Grösse von 2 kByte. Dieses Resultat demonstriert die Überlegenheit der Architektur dieses Protokolladapters gegenüber konventionell-gebräuchlichen Hardware-Konzepten.