

Diss. ETH ex. B

Diss. ETH No. 9940

**CALLAS:
A Physical Design Framework
for Configurable Array Logic**

A dissertation submitted to the
SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH

for the degree of
Doctor of Technical Sciences

presented by
Cuno Werner Martin Pfister, Dipl. Informatik-Ing. ETH
born November 20, 1962
citizen of Basel Stadt

accepted on the recommendation of
Prof. Dr. N. Wirth, examiner
Prof. Dr. W. Fichtner, co-examiner

1992



CatE

Abstract

Several types of field-programmable gate arrays (FPGA) have become available on the market, some of which are so simple and regular that they make it possible to develop new algorithms for placement and routing, ie for the physical design process. However, software development always seems to lag considerably behind hardware development. To speed up the experimentation with new algorithms, it is necessary to develop frameworks which incorporate the tasks of layout data management and user interfacing, rather than having them be re-developed for every new tool again.

This thesis presents CALLAS, an application framework specialized for the physical design of Configurable Array Logic (CAL) circuits. CAL is one of a new breed of FPGA architectures with relatively simple cells and with a highly regular interconnection scheme.

The system consists of an interface to a logic synthesis package, a layout data manager, a graphical layout editor, and several tools for placement, routing and debugging. CALLAS allows the development of new layout tools without modifying, in fact even without accessing, its source code. Yet these tools can be tightly integrated into the base system, such that the basic layout editor acts as a user interface for the new tools.

Several new automatic or semi-automatic placement algorithms have been developed and implemented as CALLAS tools: a module generator based on a series of compaction steps applied to a simple initial placement, a genetic algorithm for the optimization of the placement of data path elements, and an algorithm for the optimization of the placement of random logic cells, using some of the ideas of maze routing algorithms for placement.

CALLAS has been used to develop all CAL circuits for the new experimental workstation Chameleon. These circuits consist of typical input/output functions as well as of accelerators for computation-intensive programs.

Kurzfassung

Mehrere Arten von feld-programmierbaren Gate Arrays (FPGA) sind auf dem Markt verfügbar geworden, wovon einige so einfach und regulär sind, dass damit neue Algorithmen für das Plazieren und Verdrahten, d.h. den sogenannten "physical design" Prozess, ermöglicht werden. Die Software-Entwicklung scheint jedoch immer deutlich hinter der Hardware-Entwicklung herzuhinken. Um das Experimentieren mit neuen Algorithmen zu beschleunigen, ist es deshalb nötig, sogenannte "frameworks" zu entwickeln, welche die Layout-Datenverwaltung und die Benützerschnittstelle enthalten, anstatt diese für jedes neue Werkzeug neu entwickeln zu lassen.

Diese Dissertation beschreibt CALLAS, ein framework, welches auf den physical design von Configurable Array Logic (CAL) Schaltungen spezialisiert ist. CAL ist ein Beispiel für eine neue Gattung von FPGA-Architekturen mit relativ einfachen Zellen und mit einem hochgradig regulären Verdrahtungsschema.

Das System besteht aus einer Schnittstelle zu einem Logiksynthese-Paket, einer Layout-Datenverwaltung, einem graphischen Layout-Editor und aus mehreren Werkzeugen für das Plazieren, Verdrahten und Testen. CALLAS erlaubt die Entwicklung von neuen Werkzeugen ohne den Quelltext zu modifizieren, ja sogar ohne auf ihn zuzugreifen. Trotzdem können diese Werkzeuge so eng in das Basissystem integriert werden, dass der Layout-Editor als Benützerschnittstelle zum Einsatz kommen kann.

Mehrere neue automatisch oder halbautomatische Plazierungsalgorithmen wurden entwickelt und als CALLAS-Werkzeuge implementiert: ein Modulgenerator, welcher eine Serie von Kompaktierungsschritten auf eine einfache Initialplatzierung anwendet, ein genetischer Algorithmus für die Optimierung von Datenpfad-Elementen, und ein Algorithmus für die Platzierung von irregulärer Logik, welcher teilweise auf den Ideen für existierende Verdrahtungsalgorithmen beruht.

CALLAS wurde benützt, um alle CAL-Schaltungen für den neuen experimentellen Arbeitsplatzrechner Chameleon zu entwerfen. Diese Schaltungen realisieren sowohl typische Ein-/Ausgabe Funktionen, als auch Beschleuniger für rechenintensive Programme.