
DISS. ETH No. 13646

Packaging of CMOS IR Microsystems

A thesis submitted to the
SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH

for the degree of
Doctor of Technical Sciences

presented by

Marc Claude Wälti
Dipl. Werkst. Ing. ETH
Born August 17, 1970
citizen of Unterkulm AG

accepted on the recommendation of

Prof. Dr. H. Baltes, examiner
Prof. Dr.-Ing. Dr. E.h. H. Reichl, co-examiner
Dr. O. Brand, co-examiner

2000

ABSTRACT

This thesis reports a small, low-cost packaging for CMOS (complementary metal oxide semiconductor) infrared microsystems, compatible with CMOS and SMT (surface mount technology). The novel packaging approach is based on the direct attachment of a silicon filter covered with optical layers to the chip of the microsystem. The filter protects the fragile structures of the microsystem from, e.g., dust, fingerprints, and unwanted non-infrared radiation. A microsystem with attached filter is ready for chip on board assembly. For final standard SMT assembly, it is additionally packaged in a plastic ball grid array (PBGA) outline with 32+4 balls at a pitch of 1.5 mm. The use of the PBGA outline compared to standard ceramic chip carriers leads to a reduction of the footprint area by a factor of about 2.7. Moreover, the cost for the packaging is reduced by a factor of about 5. The reduced footprint and cost are reached at the expense of a reduction in sensitivity by about 23%. This loss of sensitivity is caused by the decreased distance between microsystem and filter, which leads to a decreased thermal insulation of the sensor pixels.

To establish the novel packaging, special microjoining technologies have been developed for the attachment of the filter to the sensor die. Two diffusion bonding methods, i.e., aluminum-gold (Al-Au) solid state diffusion bonding and gold-indium (Au-In) isothermal solidification have been investigated. Both of these methods make use of electroplated structures routinely applied by the Au bumping service of the CMOS foundry. Characteristic for the two fluxless bonding technologies are high strength and long-term stable bonds with temperature stabilities exceeding the bonding temperatures. They are thus especially suited for assembly processes using bonding sequences. No bond failures have been observed for 30 parts using the optimized processes. Moreover, none of the fragile micromachined pixels have been destroyed by the bonding process.

Optimized Al-Au bonds are obtained at 350°C for 30 min under a load of 45 MPa. Although the high pressure smoothens the rough bonding surface on the microsystems, no hermetic seal is reached. However, it is demonstrated, that polishing of

the Au structures on wafer level significantly reduces the surface roughness. Hence, hermetic sealing might be possible using polished Au structures. The temperature stability of bonds under a load of 0.5 N is 523°C, which is 173°C higher than the bonding temperature. Besides the demonstrated filter attachment, this bonding technique shows high potential for flip chip, even flip chip on chip, and tape automated bonding.

In the case of the Au-In isothermal solidification optimized process parameters are 195°C for 10 min under a load of 8 MPa. As isothermally solidified bonds are achieved with the use of a transient liquid phase, surface roughness of the bonding partners is not as critical as for solid-state diffusion bonding. Hence, hermetic seals are achieved by Au-In isothermal solidification. The careful choice of the metallurgical system and the process optimization yields a temperature stability exceeding the bonding temperature by 278°C. The low bonding pressure, low bonding temperature, high strength, and good sealing quality of the achieved joints make the Au-In isothermal solidification also a good choice for lid sealing, die bonding, flip chip bonding, tape automated bonding, and optical assembly.

Because standard leak testing is not suited to test very small cavities, a novel seal test method is developed and characterized. Thermal pressure sensors are cointegrated with IR microsystems and located within the frame structure used to seal the cavity. We demonstrated for systems packaged in TO-5 headers that the results of the novel seal test correspond to standard leak testing. Moreover, only a single measurement is necessary to test a device for both, fine and gross leaks.

For the PBGA packaging, laminated plastic substrates are layouted and manufactured. The microsystems are assembled using standard die and wire bonding technologies. The processes are successfully optimized to meet MIL standards. To protect the microsystems a glob top is applied using a dam and fill process. The final package is subjected to different reliability tests and shows good reliability. Failures induced by the testing are caused by a poor quality of the PBGA substrates and insufficient solder quality.

ZUSAMMENFASSUNG

Diese Arbeit berichtet über eine kleine, kostengünstige, CMOS- und SMT kompatible Verpackungstechnik für CMOS Infrarot Mikrosysteme. Die neue Methode basiert auf der Befestigung eines optisch beschichteten Siliziumfilters direkt auf dem Chip des Mikrosystems. Der Filter schützt die empfindlichen Strukturen des Mikrosystems unter anderem gegen Staub, Fingerabdrücke und unerwünschte, nicht-infrarote Strahlung. Mikrosysteme mit befestigten Filtern können mit "Chip-on-Board" (COB) Technologie verarbeitet werden. Für die Oberflächenmontage wurde zusätzlich ein Plastik Ball Grid Array (PBGA) Gehäuse mit 32+4 Anschlüssen in einem Raster von 1.5 mm entwickelt. Das PBGA hat im Vergleich zu keramischen Normgehäusen einen verringerten Platzbedarfs um einen Faktor 2.7. Zusätzlich erniedrigen sich die Verpackungskosten um etwa einen Faktor 5. Die Platzersparnis und Kostenreduktion müssen allerdings mit einem ca. 23%-igen Verlust der Empfindlichkeit bezahlt werden. Dieser entsteht durch die Verkleinerung des Abstands zwischen dem Mikrosystem und dem Filter, was zu einer Verschlechterung der thermischen Isolation der einzelnen Sensoren führt.

Um das neue Gehäuse zu verwirklichen wurden spezielle Mikrofügetechniken zur Befestigung des Filters entwickelt. Zwei Methoden des Diffusionsschweissens, Aluminium-Gold (Al-Au) Festkörper-Diffusionsschweissen und Gold-Indium (Au-In) isotherme Erstarrung wurden untersucht. Beide Methoden verwenden zur Verbindung galvanisch abgeschiedene Goldstrukturen, wie sie vom Chiphersteller serienmässig angeboten werden. Charakteristisch für die flussmittelfreien Fügetechniken sind Verbindungen von hoher Festigkeit und guter Langzeitstabilität, deren Temperaturbeständigkeit die Fügetemperatur übersteigt. Sie sind deshalb speziell für Aufbauten geeignet, die Abfolgen von Fügeprozessen verlangen. Die Befestigung des Filters durch Diffusionsschweissen zeigt eine gute Ausbeute. Es wurde kein Ausschuss an den Verbindungen festgestellt, die mit optimierten Prozessen hergestellt wurden. Zudem wurden keine der zerbrechlichen, mikrotechnisch hergestellten Sensoren durch den Fügeprozess zerstört.

Optimale Al-Au Verbindungen werden bei 350°C für 30 min und einer Last von 45 MPa erreicht. Obwohl die hohe Last die raue Oberfläche der Goldstruktur einbnet, wurde keine gasdichte Verbindung erzielt. Jedoch konnte durch Polieren der Au-Strukturen die Oberflächenrauigkeit gesenkt werden. Möglicherweise können mit polierten Au-Strukturen dichte Verbindungen hergestellt werden. Die Temperaturbeständigkeit der Verbindungen unter einer Scherlast von 0.5 N ist 523°C, d.h. 173°C höher als die Fügtemperatur. Neben der Befestigung des Filters zeigt diese Verbindungstechnik auch grosses Potential für Flipchip, sogar Flipchip-on-Chip Verbindungen und Tape Automated Bonding.

Für die Au-In isotherme Erstarrung sind die optimierten Prozessparameter 195°C für 10 min unter einer Last von 8 MPa. Da isotherm erstarrte Verbindungen unter der Bildung einer vorübergehenden, flüssigen Phase entstehen ist die Oberflächenrauigkeit nicht so kritisch. Durch sorgfältige Auswahl des metallurgischen Systems und Prozessoptimierung wird eine Temperaturbeständigkeit erreicht, die die Fügtemperatur um 273°C übersteigt. Die geringe Fügelast, niedrige Temperatur, hohe Festigkeit und gute Versiegelung machen diese Technik auch zu einer guten Wahl für das Versiegeln von Gehäusen, für Chip-Montage, Flipchip und Tape Automated Bonding und für den Aufbau von optischen Systemen.

Weil Normleckprüfungen ungeeignet sind für das Testen von sehr kleinen Kavitäten, wurde für die Prüfung der Versiegelung eine neue Methode entwickelt und charakterisiert. Thermische Drucksensoren wurden dafür auf einem IR Mikrosystem innerhalb des Siegelrahmens integriert. In TO-5 Gehäusen verpackte Systeme haben gezeigt, dass die neue Methode gut mit den Normprüfungen übereinstimmt. Zudem ist neu nur noch eine Messung für die Prüfung grober und feiner Lecke notwendig.

Für das PBGA Gehäuse wurden Kunststoffverdrahtungsträger ausgelegt und gefertigt. Mikrosysteme wurden mit konventioneller Chip-Montage und Drahtkontaktierung aufgebaut. Die Prozesse wurden erfolgreich so optimiert, dass die MIL-Normen erfüllt werden. Die Mikrosysteme wurden anschliessend mit einem Epoxy Verguss (Glob Top) geschützt. Das fertige Bauteil wurde verschiedenen Zuverlässigkeitsprüfungen unterzogen und hat gute Resultate erbracht. Durch die Tests hervorgerufene Fehler wurden auf unzureichende Qualität des PBGA Substrates und ungenügende Lötqualität zurückgeführt.