

Diss. ETH No. 18730

Multi-Mode Delta-Sigma A/D-Converters for Multi-Standard Wireless Receivers

A dissertation submitted to
ETH ZURICH

for the degree of
Doctor of Sciences

presented by
THOMAS CHRISTEN
Dipl. El.-Ing. ETH
born 1st January, 1979
citizen of Freienbach SZ, Switzerland

accepted on the recommendation of
Prof. Dr. Qiuting Huang, examiner
Prof. Dr. Hans-Andrea Loeliger, co-examiner

2010

Abstract

Recent popularity of smart phones, netbooks, and other mobile broadband devices has vindicated third-generation (3G) cellular communication systems as an enabling technology and has given fresh impetus to the development of fourth-generation (4G) systems. Considering however the predominance of second-generation (2G) systems, a complete transition to the next generation of wireless systems is not feasible.

Radio handsets with multi-standard capabilities have therefore become a pressing need. As analog circuitry is generally seen as an impediment to reconfigurability, RF receiver design has evolved by incorporating digitization closer to the receiver antenna. Multi-mode ADCs have consequently become a key component for multi-standard radios. The most promising multi-mode ADC architecture is the $\Delta\Sigma$ modulation which forms the subject of this thesis.

$\Delta\Sigma$ modulator techniques are presented in this thesis that enable adaptive behavior and allow low power consumption to be achieved. The proposed multi-mode and low power concepts are then demonstrated with a 2-2 cascaded and a third-order single-loop multi-mode $\Delta\Sigma$ modulator prototype implemented in 0.13 μm CMOS which cover bandwidths up to 10 MHz and 20 MHz, respectively, at a FOM as low as 0.3 pJ/conv and 0.28 pJ/conv, respectively.

Finally, frequency synthesis for the sampling clock of multi-mode $\Delta\Sigma$ modulators is discussed and a complete $\Delta\Sigma$ ADC chip is presented which incorporates clock generation based on a cascade of two integer-N PLLs, bias generation, and the digital front-end [1].

Kurzfassung

Die steigende Nachfrage nach mobilen Kommunikationsgeräten, wie zum Beispiel Smartphones und Netbooks, hat Mobilfunksysteme der dritten Generation (3G) als Schlüsseltechnology für hohe Datenraten gefestigt und hat die Entwicklung der vierten Generation (4G) ange-regt. Angesichts des hohen Marktanteiles von Mobilfunksystemen der zweiten Generation (2G) ist ein kompletter Übergang zu einer neuen Generation von Mobilfunksystemen jedoch nur bedingt umsetzbar.

Mobiltelefone, welche mehrere Mobilfunkstandards unterstützen, werden deshalb dringend benötigt. Da konfigurierbare analoge Schal-tungsblöcke im Allgemeinen schwer zu implementieren sind, ist es wünschenswert, die empfangenen Signale möglichst früh im Emp-fänger zu digitalisieren. Multimode A/D Wandler sind deshalb zu ei-ner Schlüsselkomponente zur Realisierung von Multi-Standard Mo-biltelefonen geworden, wobei A/D Wandler basierend auf $\Delta\Sigma$ Modu-lation für diese Anwendung besonders attraktiv sind.

Diese Arbeit beschäftigt sich mit der Entwicklung von Multimode $\Delta\Sigma$ Modulatoren, die rekonfigurierbar sind und gleichzeitig einen tiefen Stromverbrauch haben. Die erarbeiteten Konzepte werden an-hand von zwei Multimode $\Delta\Sigma$ Modulatoren demonstriert, welche in $0.13\ \mu\text{m}$ CMOS implementiert wurden. Ein erster 2-2 kaskadierten $\Delta\Sigma$ Modulator erreicht Bandbreiten bis 10 MHz bei einer minimalen Figure-Of-Merit (FOM) von $0.3\ \text{pJ}/\text{conv}$, und ein zweiter $\Delta\Sigma$ Modula-tor dritter Ordnung erreicht sogar Bandbreiten bis 20 MHz bei einer minimalen FOM von $0.28\ \text{pJ}/\text{conv}$.

Zum Schluss dieser Arbeit wird die Frequenzsynthese des Abtast-Taktes für $\Delta\Sigma$ Modulator diskutiert und anhand eines kompletten

Multimode $\Delta\Sigma$ A/D Wandler Chips präsentiert, welcher neben zwei $\Delta\Sigma$ Modulatoren auch die Taktgenerierung basierend auf zwei kaskadierten Integer-N PLLs, eine Bandgap-Referenzspannungsquelle und das digitale Frontend [1] beinhaltet.